

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

出願番号
Application Number:

出願人
Applicant(s):

1999年 2月12日

平成11年特許願第033623号
株式会社半導体エネルギー研究所

2000年 1月 7日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特平11-3091801

JCS25 U.S. PTO
09/502675
02/11/00

【書類名】 特許願

【整理番号】 P004093-01

【提出日】 平成11年 2月12日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 村上 智史

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 田中 幸夫

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 北角 英人

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

同一基板上に、CMOS回路とマトリクス回路とが薄膜トランジスタで構成されている半導体装置において、

前記CMOS回路は、

ゲート電極の内側に設けられた

チャネル形成領域と一導電型の第3の不純物領域と、

ゲート電極の外側に設けられた

ソース領域またはドレイン領域を形成する一導電型の第1の不純物領域とを有する第1の薄膜トランジスタと、

チャネル形成領域とソース領域またはドレイン領域を形成する逆導電型の第5の不純物領域と

を有する第5の薄膜トランジスタと、

を有して、

前記マトリクス回路は、

ゲート電極の内側に設けられた

チャネル形成領域と、

ゲート電極の外側に設けられた

一導電型の第4の不純物領域とソース領域またはドレイン領域を形成する一導電型の第1の不純物領域と

を有する第4の薄膜トランジスタ

を有していること

を特徴とする半導体装置。

【請求項 2】

同一基板上に、CMOS回路とマトリクス回路とが薄膜トランジスタで構成されている半導体装置において、

前記CMOS回路は、

ゲート電極の内側に設けられた

チャネル形成領域と一導電型の第 3 の不純物領域と、

ゲート電極の外側に設けられた

ソース領域またはドレイン領域を形成する一導電型の第 1 の不純物領域と
を有する第 1 の薄膜トランジスタと、

ゲート電極の内側に設けられた

チャネル形成領域と一導電型の第 3 の不純物領域と、

ゲート電極の外側に設けられた

一導電型の第 2 の不純物領域とソース領域またはドレイン領域を形成する
一導電型の第 1 の不純物領域と

を有する第 2 の薄膜トランジスタと、

チャネル形成領域とソース領域またはドレイン領域を形成する逆導電型の第
5 の不純物領域と

を有する第 5 の薄膜トランジスタと、

を有して、

前記マトリクス回路は、

ゲート電極の内側に設けられた

チャネル形成領域と、

ゲート電極の外側に設けられた

一導電型の第 4 の不純物領域とソース領域またはドレイン領域を形成する
一導電型の第 1 の不純物領域と

を有する第 4 の薄膜トランジスタ

を有していること

を特徴とする半導体装置。

【請求項 3】

同一基板上に、CMOS 回路とマトリクス回路とが薄膜トランジスタで構成さ
れている半導体装置において、

前記 CMOS 回路は、

ゲート電極の内側に設けられた

チャネル形成領域と一導電型の第 3 の不純物領域と、
ゲート電極の外側に設けられた
ソース領域またはドレイン領域を形成する一導電型の第 1 の不純物領域
を有する第 1 の薄膜トランジスタと、
ゲート電極の内側に設けられた
チャネル形成領域と、
ゲート電極の外側に設けられた
一導電型の第 2 の不純物領域とソース領域またはドレイン領域を形成する
一導電型の第 1 の不純物領域と
を有する第 3 の薄膜トランジスタと、
チャネル形成領域とソース領域またはドレイン領域を形成する逆導電型の第
5 の不純物領域と
を有する第 5 の薄膜トランジスタと、
を有して、
前記マトリクス回路は、
ゲート電極の内側に設けられた
チャネル形成領域と、
ゲート電極の外側に設けられた
一導電型の第 4 の不純物領域とソース領域またはドレイン領域を形成する
一導電型の第 1 の不純物領域と
を有する第 4 の薄膜トランジスタ
を有していること
を特徴とする半導体装置。

【請求項 4】

同一基板上に、CMOS 回路とマトリクス回路とが薄膜トランジスタで構成さ
れている半導体装置において、

前記 CMOS 回路は、

ゲート電極の内側に設けられた

チャネル形成領域と一導電型の第 3 の不純物領域と、

ゲート電極の外側に設けられた

ソース領域またはドレイン領域を形成する一導電型の第1の不純物領域と
を有する第1の薄膜トランジスタと、

ゲート電極の内側に設けられた

チャンネル形成領域と一導電型の第3の不純物領域と、

ゲート電極の外側に設けられた

一導電型の第2の不純物領域とソース領域またはドレイン領域を形成する
一導電型の第1の不純物領域と

を有する第2の薄膜トランジスタと、

ゲート電極の内側に設けられた

チャンネル形成領域と、

ゲート電極の外側に設けられた

一導電型の第2の不純物領域とソース領域またはドレイン領域を形成する
一導電型の第1の不純物領域と

を有する第3の薄膜トランジスタと、

チャンネル形成領域とソース領域またはドレイン領域を形成する逆導電型の第
5の不純物領域と

を有する第5の薄膜トランジスタと、

を有して、

前記マトリクス回路は、

ゲート電極の内側に設けられた

チャンネル形成領域と、

ゲート電極の外側に設けられた

一導電型の第4の不純物領域とソース領域またはドレイン領域を形成する
一導電型の第1の不純物領域と

を有する第4の薄膜トランジスタ

を有していること

を特徴とする半導体装置。

【請求項5】

請求項 1 乃至請求項 4 のいずれか一項において、

第 3 の不純物領域と、第 4 の不純物領域と、には同一の一導電型の不純物元素を含み、

前記第 4 の不純物領域に含まれる前記不純物元素の濃度が、前記第 3 の不純物領域に含まれる前記不純物元素の濃度よりも少ないことを特徴とする半導体装置。

【請求項 6】

請求項 2 乃至請求項 4 のいずれか一項において、

第 2 の不純物領域と、第 3 の不純物領域と、には同一の一導電型の不純物元素を含み、

前記第 2 の不純物領域に含まれる前記不純物元素の濃度が、前記第 3 の不純物領域に含まれる前記不純物元素の濃度と同じことを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、

前記マトリクス回路は、

前記第 4 の薄膜トランジスタ上に絶縁層を介して形成された遮光膜と、

前記第 4 の薄膜トランジスタに接続された画素電極と、

前記遮光膜と、前記遮光膜に接する誘電体膜と、該誘電体膜に接する画素電極とで構成される保持容量と、を有し、

前記保持容量が、前記第 4 の薄膜トランジスタに接続していることを特徴とする半導体装置。

【請求項 8】

請求項 7 において、

前記遮光膜は、アルミニウム、タンタル、チタンから選ばれた一種または複数種を主成分とする材料から成り、

前記誘電体膜は、前記遮光膜材料の酸化物であること
を特徴とする半導体装置。

【請求項 9】

請求項 7 において、

前記誘電体膜は、窒化シリコン、酸化シリコン、窒酸化シリコン、DLC、ポリイミドから選ばれた材料で形成されていること
を特徴とする半導体装置。

【請求項 1 0】

請求項 7 において、

前記絶縁層は、無機絶縁膜と有機絶縁膜とを有し、

前記遮光膜は、有機絶縁膜に接して形成されていること
を特徴とする半導体装置。

【請求項 1 1】

請求項 7 において、

前記絶縁層は、無機絶縁膜と有機絶縁膜とを有し、

前記遮光膜は、無機絶縁膜に接して形成されていること
を特徴とする半導体装置。

【請求項 1 2】

請求項 1 乃至請求項 1 1 のいずれか一項において、

前記半導体装置は、携帯電話、ビデオカメラ、モバイルコンピュータ、ヘッドマウントディスプレイ、プロジェクター、携帯書籍、デジタルカメラ、カーナビゲーション、パーソナルコンピュータであること
を特徴とする半導体装置。

【請求項 1 3】

絶縁表面を有する基板上に、複数の島状半導体層を形成する工程と、

前記島状半導体層に接してゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜に接してゲート電極を形成する工程と、

一導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第 1 の不純物領域と、前記ゲート電極とオーバーラップする第 3 の不純物領域とを有する第 1 の薄膜トランジスタを形成する工程と、

逆導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第 5 の不純物領域を有する第 5 の薄膜トランジスタを形成する工程と、

一導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第 1 の不純物領域と第 4 の不純物領域とを有する第 4 の薄膜トランジスタを形成する工程と、

を有すること

を特徴とする半導体装置の作製方法。

【請求項 1 4】

絶縁表面を有する基板上に、複数の島状半導体層を形成する工程と、

前記島状半導体層に接してゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜に接してゲート電極を形成する工程と、

一導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第 1 の不純物領域と、前記ゲート電極とオーバーラップする第 3 の不純物領域とを有する第 1 の薄膜トランジスタを形成する工程と、

一導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第 1 の不純物領域と、前記ゲート電極とオーバーラップする第 3 の不純物領域と、前記ゲート電極とオーバーラップしない第 2 の不純物領域とを有する第 2 の薄膜トランジスタを形成する工程と、

逆導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第 5 の不純物領域を有する第 5 の薄膜トランジスタを形成する工程と、

一導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第 1 の不純物領域と第 4 の不純物領域とを有する第 4 の薄膜トランジスタを形成する工程と、

を有すること

を特徴とする半導体装置の作製方法。

【請求項 1 5】

絶縁表面を有する基板上に、複数の島状半導体層を形成する工程と、

前記島状半導体層に接してゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜に接してゲート電極を形成する工程と、

一導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第 1 の不純物領域と、前記ゲート電極とオーバーラップする第 3 の不純物領域とを

有する第1の薄膜トランジスタを形成する工程と、

一導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第1の不純物領域と、前記ゲート電極とオーバーラップしない第2の不純物領域とを有する第3の薄膜トランジスタを形成する工程と、

逆導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第5の不純物領域を有する第5の薄膜トランジスタを形成する工程と、

一導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第1の不純物領域と第4の不純物領域とを有する第4の薄膜トランジスタを形成する工程と、

を有すること

を特徴とする半導体装置の作製方法。

【請求項16】

絶縁表面を有する基板上に、複数の島状半導体層を形成する工程と、

前記島状半導体層に接してゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜に接してゲート電極を形成する工程と、

一導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第1の不純物領域と、前記ゲート電極とオーバーラップする第3の不純物領域とを有する第1の薄膜トランジスタを形成する工程と、

一導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第1の不純物領域と、前記ゲート電極とオーバーラップする第3の不純物領域と、前記ゲート電極とオーバーラップしない第2の不純物領域とを有する第2の薄膜トランジスタを形成する工程と、

一導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第1の不純物領域と、前記ゲート電極とオーバーラップしない第2の不純物領域とを有する第3の薄膜トランジスタを形成する工程と、

逆導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第5の不純物領域を有する第5の薄膜トランジスタを形成する工程と、

一導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第1の不純物領域と第4の不純物領域とを有する第4の薄膜トランジスタを形成す

る工程と、
を有すること
を特徴とする半導体装置の作製方法。

【請求項 1 7】

請求項 1 3 乃至請求項 1 6 のいずれか一項において、
前記第 3 の不純物領域と、前記第 4 の不純物領域と、には同一の一導電型の不
純物元素が添加され、

前記第 4 の不純物領域に含まれる前記不純物元素の濃度が、前記第 3 の不純物
領域に含まれる前記不純物元素の濃度よりも少なく添加すること
を特徴とする半導体装置の作製方法。

【請求項 1 8】

請求項 1 3 乃至請求項 1 6 のいずれか一項において、
前記第 2 の不純物領域と、前記第 3 の不純物領域と、には同一の一導電型の不
純物元素が添加され、

前記第 2 の不純物領域に含まれる前記不純物元素の濃度が、前記第 3 の不純物
領域に含まれる前記不純物元素の濃度と同じ濃度で添加すること
を特徴とする半導体装置の作製方法。

【請求項 1 9】

請求項 1 3 乃至請求項 1 8 のいずれか一項において、
前記第 4 の薄膜トランジスタ上に絶縁層を形成する工程と、
前記絶縁膜上に遮光膜を形成する工程と、
前記遮光膜に接する誘電体膜を形成する工程と、
前記誘電体膜に接する導電膜を形成する工程と、から保持容量を形成すること
を特徴とする半導体装置の作製方法。

【請求項 2 0】

請求項 1 9 において、
前記遮光膜に接する誘電体膜を形成する工程が陽極酸化法であること
を特徴とする半導体装置の作製方法。

【請求項 2 1】

請求項 1 9 において、

前記遮光膜は、アルミニウム、タンタル、チタン、から選ばれた一種または複数種を主成分とする材料で形成すること
を特徴とする半導体装置の作製方法。

【請求項 2 2】

請求項 1 9 において、

前記絶縁層は、無機絶縁層と有機絶縁層とから形成され、
前記遮光膜は、有機絶縁層に接して形成されること
を特徴とする半導体装置の作製方法。

【請求項 2 3】

請求項 1 9 において、

前記絶縁層は、無機絶縁層と有機絶縁層とから形成され、
前記遮光膜は、無機絶縁層に接して形成されること
を特徴とする半導体装置の作製方法。

【請求項 2 4】

請求項 1 3 乃至請求項 2 3 のいずれか一項において、

前記半導体装置は、携帯電話、ビデオカメラ、モバイルコンピュータ、ヘッドマウントディスプレイ、プロジェクター、携帯書籍、デジタルカメラ、カーナビゲーション、パーソナルコンピュータであること
を特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は絶縁表面を有する基板上に薄膜トランジスタで構成された回路を有する半導体装置およびその作製方法に関する。特に本発明は、アクティブマトリクス回路とその周辺に設けられる駆動回路を同一基板上に設けた液晶表示装置に代表される電気光学装置、および電気光学装置を搭載した電子機器に好適に利用できる。尚、本願明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電

子機器をその範疇に含んでいる。

【 0 0 0 2 】

【従来の技術】

絶縁表面を有する基板上に、薄膜トランジスタ（以下、T F Tと記す）で形成した大面積集積回路を有する半導体装置の開発が進んでいる。アクティブマトリクス型液晶表示装置、E L表示装置、および密着型イメージセンサはその代表例として知られている。T F Tはその構造や作製方法によって分類されている。特に、結晶構造を有する半導体膜を活性層にしたT F T（結晶質T F T）は電界効果移動度が高いことから、いろいろな機能回路を形成することも可能であった。

【 0 0 0 3 】

例えば、アクティブマトリクス型液晶表示装置には、機能ブロックごとにnチャネル型T F Tで構成される画素マトリクス回路や、C M O S回路を基本としたシフトレジスタ回路、レベルシフタ回路、バッファ回路、サンプリング回路などの集積回路が一枚の基板の上に形成された。また、密着型イメージセンサでは、サンプルホールド回路、シフトレジスタ回路、マルチプレクサ回路などの集積回路がT F Tを用いて形成されていた。

【 0 0 0 4 】

これらの回路はそれぞれにおいて動作条件が必ずしも同一でないので、当然T F Tに要求される特性も少なからず異なっていた。画素マトリクス回路においては、nチャネル型T F Tから成るスイッチ素子と補助の保持容量を設けた構成であり、液晶に電圧を印加して駆動させるものである。ここで、液晶は交流で駆動させる必要があり、フレーム反転駆動と呼ばれる方式が採用されていた。従って、要求されるT F Tの特性は、漏れ電流を十分低減させておく必要があった。また、バッファ回路は高い駆動電圧が印加されるため、耐圧を高めておく必要があった。また電流駆動能力を高めるために、オン電流を十分確保する必要があった。

【 0 0 0 5 】

しかし、結晶質T F Tのオフ電流は高くなりやすいといった問題点があった。そして、結晶質T F Tは信頼性の面で依然L S Iなどに用いられるM O S トラン

ジスタ（単結晶半導体基板上に作製されるトランジスタ）に及ばないとされている。例えば、結晶質TFTにはオン電流の低下といった劣化現象が観測されることがあった。この原因はホットキャリア効果であり、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすものと考えられていた。

【0006】

TFTの構造には、低濃度ドレイン（LDD:Lightly Doped Drain）構造が知られている。この構造はチャネル領域と、高濃度に不純物が添加されるソース領域またはドレイン領域との間に低濃度の不純物領域を設けたものであり、この低濃度不純物領域はLDD領域と呼ばれている。LDD構造はさらにゲート電極との位置関係により、ゲート電極とオーバーラップするGOLD（Gate-drain Overlapped LDD）構造や、ゲート電極とオーバーラップしないオフセットLDD構造などがある。GOLD構造は、ドレイン近傍の高電界を緩和してホットキャリア効果を防ぎ、信頼性を向上させることができた。例えば、「Mutsuko Hatano,Hajime Akimoto and Takeshi Sakai,IEDM97 TECHNICAL DIGEST,p523-526,1997」では、シリコンで形成したサイドウォールによるGOLD構造であるが、他の構造のTFTと比べ、きわめて優れた信頼性が得られることが確認されている。

【0007】

また、アクティブマトリクス型液晶表示装置の画素マトリクス回路には、数十から数百万個の各画素にTFTが配置され、そのTFTのそれぞれには画素電極が設けられている。液晶を挟んだ対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成していた。そして、各画素に印加する電位をTFTのスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動して透過光量を制御して画像を表示する仕組みになっていた。

【0008】

このコンデンサはリーク電流により次第にその容量が減少するため、透過光量に変化して画像表示のコントラストを低下させる原因となっていた。そこで、従来では容量配線を設けて、液晶を誘電体とするコンデンサとは別のコンデンサ（

保持容量)を並列に設けてあった。この保持容量は、液晶を誘電体とするコンデンサが損失する容量を補う働きをしていた。

【0009】

【発明が解決しようとする課題】

しかしながら、画素マトリクス回路のスイッチング素子としてのTFTと、シフトレジスタやバッファ回路などのCMOSロジック回路のTFTとでは、その要求される特性は必ずしも同じでなかった。例えば、画素マトリクス回路のTFTにおいては、ゲート電極に大きな逆バイアス(nチャネル型TFTであればマイナス)電圧が印加されるが、CMOSロジック回路のTFTは基本的に逆バイアス電圧が印加されて動作されることはない。また、前者の動作速度は後者の1/100以下で良かった。このように、動作条件や必要とされる特性が大きく異なるTFTを同じような構造のもので使用することは好ましくなかった。

【0010】

また、GOLD構造では通常のLDD構造に比べてオフ電流が大きくなってしまいう問題があった。オフ電流の増加を防ぐために、マルチチャネル構造とすることも可能であるが、GOLD構造のTFTはそれだけでは不十分であった。したがって、大面積集積回路のTFTをすべて同じ構造で形成することは必ずしも好ましくなかった。例えば、画素マトリクス回路を構成するnチャネル型TFTでは、オフ電流が増加すると消費電力が増えたり画像表示に異常が現れたりするので、GOLD構造の結晶質TFTをそのまま適用することは好ましくなかった。また、オフセットLDD構造は直列抵抗の増加により、オン電流が低下してしまうことが問題であった。オン電流はTFTのチャネル幅などにより自由に設計できるものではあるが、例えば、バッファ回路を構成するTFTにオフセットTFTを設ける必要は必ずしもなかった。

【0011】

さらに、画素マトリクス回路に容量配線を用いた保持容量を形成して十分な容量を確保しようとする、開口率を犠牲にしなければならなかった。特に、プロジェクター型表示装置に用いられるような小型の高精細パネルでは、一個当たりの画素面積も小さいため、容量配線による開口率の低下は問題となっていた。

【0 0 1 2】

本発明はこのような課題を解決するための技術であり、M O S トランジスタと同等かそれ以上の信頼性が得られる結晶質 T F T を実現することを目的としている。そして、そのような結晶質 T F T でさまざまな機能回路を形成した大面積集積回路を有する半導体装置の信頼性を高めることを目的としている。また、本発明の他の目的は、画素マトリクス回路の T F T と保持容量の構成に関し、アクティブマトリクス型液晶表示装置の開口率を向上させることを目的としている。

【0 0 1 3】

【課題を解決するための手段】

上記問題点を解決するために本発明の構成は、同一基板上に、C M O S 回路とマトリクス回路とが薄膜トランジスタで構成されている半導体装置において、前記 C M O S 回路は、ゲート電極の内側に設けられたチャネル形成領域と一導電型の第 3 の不純物領域と、ゲート電極の外側に設けられたソース領域またはドレイン領域を形成する一導電型の第 1 の不純物領域とを有する第 1 の薄膜トランジスタと、ゲート電極の内側に設けられたチャネル形成領域と一導電型の第 3 の不純物領域と、ゲート電極の外側に設けられた一導電型の第 2 の不純物領域とソース領域またはドレイン領域を形成する一導電型の第 1 の不純物領域とを有する第 2 の薄膜トランジスタと、ゲート電極の内側に設けられたチャネル形成領域と、ゲート電極の外側に設けられた一導電型の第 2 の不純物領域とソース領域またはドレイン領域を形成する一導電型の第 1 の不純物領域とを有する第 3 の薄膜トランジスタと、チャネル形成領域とソース領域またはドレイン領域を形成する逆導電型の第 5 の不純物領域とを有する第 5 の薄膜トランジスタとを、それぞれの機能回路ごとに薄膜トランジスタに要求される動作特性を考慮して設け、前記マトリクス回路は、ゲート電極の内側に設けられたチャネル形成領域と、ゲート電極の外側に設けられた一導電型の第 4 の不純物領域とソース領域またはドレイン領域を形成する一導電型の第 1 の不純物領域とを有する第 4 の薄膜トランジスタを設けた構成とすることに特徴を有している。

【0 0 1 4】

また、他の発明の構成は、前記マトリクス回路に設けられる保持容量を、前記

第4の薄膜トランジスタ上に絶縁層を介して形成された遮光膜と、前記第4の薄膜トランジスタに接続された画素電極と、前記遮光膜と、前記遮光膜に接する誘電体膜と、該誘電体膜に接する画素電極とで形成し、該保持容量が前記第4の薄膜トランジスタに接続していることに特徴を有している。前記遮光膜は、アルミニウム、タンタル、チタンから選ばれた一種または複数種を主成分とする材料から成り、前記誘電体膜は前記遮光膜材料の酸化物であることが望ましい。または前記誘電体膜を、窒化シリコン、酸化シリコン、窒酸化シリコン、DLC、ポリイミドから選ばれた材料で形成しても良い。

【0015】

上記問題点を解決するために、本発明の半導体装置の作製方法は、絶縁表面を有する基板上に、複数の島状半導体層を形成する工程と、前記島状半導体層に接してゲート絶縁膜を形成する工程と、前記ゲート絶縁膜に接してゲート電極を形成する工程と、一導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第1の不純物領域と、前記ゲート電極とオーバーラップする第3の不純物領域とを有する第1の薄膜トランジスタを形成する工程と、一導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第1の不純物領域と、前記ゲート電極とオーバーラップする第3の不純物領域と、前記ゲート電極とオーバーラップしない第2の不純物領域とを有する第2の薄膜トランジスタを形成する工程と、一導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第1の不純物領域と、前記ゲート電極とオーバーラップしない第2の不純物領域とを有する第3の薄膜トランジスタを形成する工程と、逆導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第5の不純物領域を有する第5の薄膜トランジスタを形成する工程と、一導電型の不純物元素を前記島状半導体層の選択された領域に添加して、第1の不純物領域と第4の不純物領域とを有する第4の薄膜トランジスタを形成する工程と、を有することを特徴としている。第1の薄膜トランジスタ～第5の薄膜トランジスタは同一工程で、それぞれの機能回路ごとに薄膜トランジスタに要求される動作特性を考慮して、同一基板上に形成されるものである。

【0016】

また、他の発明の構成は、前記マトリクス回路に設けられる保持容量を、前記第 4 の薄膜トランジスタ上に絶縁層を形成する工程と、前記絶縁膜上に遮光膜を形成する工程と、前記遮光膜に接する誘電体膜を形成する工程と、前記誘電体膜に接する導電膜を形成する工程とから形成し、前記遮光膜に接する誘電体膜を形成する工程が陽極酸化法であることが望ましい実施形態である。従って、前記遮光膜の材料は、アルミニウム、タンタル、チタン、から選ばれた一種または複数種を主成分とする材料で形成することが望ましい。

【0017】

【発明の実施の形態】

[実施形態 1]

本発明の実施形態を図 1 ～ 図 3 を用いて説明する。ここでは、画素マトリクス回路とその周辺に設けられる駆動回路の T F T を同時に作製する方法について説明する。

【0018】

(島状半導体層、ゲート絶縁膜形成の工程)

図 1 において、基板 1 0 1 には、無アルカリガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板や金属基板の表面に絶縁膜を形成したものを基板としても良い。そして、基板 1 0 1 の T F T が形成される表面には、酸化シリコン膜、窒化シリコン膜、または窒酸化シリコン膜からなる下地膜 1 0 2 をプラズマ C V D 法やスパッタ法で 1 0 0 ～ 4 0 0 n m の厚さに形成した。例えば下地膜 1 0 2 として、窒化シリコン膜 1 0 2 を 2 5 ～ 1 0 0 n m、ここでは 5 0 n m の厚さに、酸化シリコン膜 1 0 3 を 5 0 ～ 3 0 0 n m、ここでは 1 5 0 n m の厚さとした 2 層構造で形成すると良い。下地膜 1 0 2 は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。次に下地膜 1 0 2 の上に 2 0 ～ 1 0 0 n m の厚さの、非晶質シリコン膜を公知の成膜法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは 4 0 0 ～ 5 5 0 ℃ で数時間加熱して脱水素処理を行い、含有水素量を 5 a t % 以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に

含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気中にさらされないようにすることで表面の汚染を防ぐことが可能となり、作製される TFT の特性バラツキを低減させることができる。非晶質シリコン膜から結晶質シリコン膜を形成する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、シリコンの結晶化を助長する触媒元素を用いて熱結晶化の方法で結晶質シリコン膜を作製しても良い。その他に、微結晶シリコン膜を用いても良いし、結晶質シリコン膜を直接堆積成膜しても良い。さらに、単結晶シリコンを基板上に貼りあわせる SOI (Silicon On Insulators) の公知技術を使用して結晶質シリコン膜を形成しても良い。こうして形成された結晶質シリコン膜の不要な部分をエッチング除去して、島状半導体層 104~106 を形成した。結晶質シリコン膜の n チャンネル型 TFT が作製される領域には、しきい値電圧を制御するため、あらかじめ $1 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度の濃度でボロン (B) を添加しておいても良い。次に、島状半導体層 104~106 を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜 107 を形成した。ゲート絶縁膜 107 は、10~200 nm、好ましくは 50~150 nm の厚さに形成すれば良い。例えば、プラズマ CVD 法で N_2O と SiH_4 を原料とした窒化酸化シリコン膜を 75 nm 形成し、その後、酸素雰囲気中または酸素と塩酸の混合雰囲気中、800~1000℃で熱酸化して 115 nm のゲート絶縁膜としても良い (図 1 (A))。

【0019】

(第 2、第 3 の不純物領域の形成)

CMOS 回路の n チャンネル型 TFT に、LDD 領域となる低濃度不純物領域 (本発明では第 2 の不純物領域および第 3 の不純物領域と記す) を形成するために、島状半導体層 104、106 の全面と、島状半導体層 105 のチャンネル形成領域をレジスト膜でマスクした。このとき、島状半導体層の周辺の配線を形成する領域にもレジストマスクを形成しておいても良い。そして、n 型を付与する不純物元素を添加して低濃度不純物領域を形成した。ここではフォスフィン (PH_3

)を用いたイオンドープ法でリン(P)を添加した。この工程では、ゲート絶縁膜107を通してその下の半導体層にリンを添加した。添加するリン濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とした。そして、島状半導体層にリンが添加された低濃度不純物領域112、113が形成された。その後、窒素雰囲気中で400~900℃、好ましくは550~800℃で1~12時間の熱処理を行ない、この工程で添加されたn型を付与する不純物元素を活性化する工程を行なった(図1(B))。

【0020】

(ゲート電極用および配線用導電膜の形成)

第1の導電膜114を、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素を主成分とする導電性材料で、10~100nmの厚さに形成した。第1の導電層には、窒化タンタル(TaN)や窒化タングステン(WN)を用いることが望ましい。また、図示しないが、第1の導電膜の下にシリコン膜を2~20nm程度の厚さで形成しておいても良い。さらに、第1の導電層114上に第2の導電膜115をTa、Ti、Mo、Wから選ばれた元素を主成分とする導電性材料で、100~400nmの厚さに形成した。例えば、Taを200nmの厚さに形成すれば良い(図1(C))。

【0021】

(ゲート電極(pch)、配線電極の形成と第5の不純物領域の形成)

レジストマスク116~119を形成し、第1の導電膜と第3の導電膜の一部をエッチング除去して、pチャネル型TFETのゲート電極120、ゲート配線122、123を形成した。nチャネル型TFETのゲート電極は後の工程で形成するため、第1の導電膜と第3の導電膜が半導体層105、106上の全面で残るようにした。そして、レジストマスク116~119をそのまま残してマスクとし、pチャネル型TFETが形成される半導体層104の一部に、p型を付与する不純物元素を添加するの工程を行った。ここではボロンをその不純物元素として、ジボラン(B_2H_6)を用いてイオンドープ法で添加した。ここでは $2 \times 10^{20} \text{ atoms/cm}^3$ の濃度にボロンを添加した。そして、図2(A)に示すようにボロンが高濃度に添加された第5の不純物領域125、126が形成された。また、こ

の工程において、レジストマスク 116～119 を使用してゲート絶縁膜 107 の一部をエッチング除去して、島状半導体層 104 の一部を露出させた後、p 型を付与する不純物元素を添加するの工程を行っても良い。

【0022】

(ゲート電極 (n-ch) の形成)

レジストマスク 127～130 を形成し、nチャネル型 TFT のゲート電極 131、132 を形成した。このときゲート電極 131 は低濃度不純物領域 112、113 と一部が重なるように形成した (図 2 (B))。

【0023】

(第 1 の不純物領域の形成)

レジストマスク 134～136 を形成し、nチャネル型 TFT において、ソース領域またはドレイン領域として機能する第 1 の不純物領域を形成する工程を行った。レジストマスク 136 は nチャネル型 TFT のゲート電極 132 を覆う形で形成された。これは、画素マトリクス回路の nチャネル型 TFT において、オフセット LDD 領域となる第 4 の不純物領域を形成するために設けた。そして、n 型を付与する不純物元素を添加して第 1 の不純物領域を形成して、ソース領域となる第 1 の不純物領域 140、141 とドレイン領域となる第 1 の不純物領域 139、142、143 が形成された。ここでも、フォスフィン (PH_3) を用いたイオンドーピング法で行い、この領域のリンの濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とするのが好ましく、ここでは $1 \times 10^{20} \text{ atoms/cm}^3$ とした。また、同時に島状半導体層 104 のボロンが添加されている領域 125、126 の一部にもリンが添加された領域 137、138 が形成された。(図 2 (C))。

【0024】

(第 4 の不純物領域の形成)

画素マトリクス回路の nチャネル型 TFT の、LDD 領域となる低濃度不純物領域 (本発明では第 4 の不純物領域と記す) を島状半導体層 106 に形成するために n 型を付与する不純物元素を添加する工程を行った。添加するリン濃度は、第 2 および第 3 の不純物領域と同程度かそれより少なくするのが好ましく、ここでは $2 \times 10^{17} \text{ atoms/cm}^3$ とした。そして、島状半導体層にリンが添加された低

濃度不純物領域 144～147 を形成した(図 3 (A))。

【0025】

(熱活性化の工程)

ゲート絶縁膜、ゲート電極上の全面に(島状半導体層 104～106 の一部が露出されている場合にはその上面にも)第 1 の層間絶縁膜 148 を形成した。第 1 の層間絶縁膜は窒化シリコン膜、酸化シリコン膜、または窒酸化シリコン膜で形成すれば良い。また、窒化シリコン膜と、酸化シリコン膜または窒酸化シリコン膜の 2 層構造としても良い(図示せず)。いずれにしても、第 1 の層間絶縁膜は 500～1000 nm の厚さとなるように形成すれば良い。その後、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化するための熱処理の工程を行った。この工程は、電気加熱炉を用いた熱アニール法や、ハロゲンランプを用いたラビットサーマルアニール法(RTA 法)で行うことができる。ここでは熱アニール法で活性化の工程を行った。加熱処理は、窒素雰囲気中において 300～700℃、好ましくは 350～550℃、ここでは 525℃、2 時間の熱処理を行った。この処理で、半導体層の結晶化の工程で用いた触媒元素をリンを添加した領域に偏析させるゲッタリング効果が同時に得られ、チャネル形成領域から触媒元素を除去することができた。さらに、3～100%の水素を含む雰囲気中で、300～450℃で 1～12 時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は、プラズマ水素化法を用い、プラズマ化されることにより生成された水素雰囲気中で 200～450℃の熱処理を行っても良い(図 3 (B))。

【0026】

(ソース・ドレイン電極、層間絶縁膜の形成)

第 1 の層間絶縁膜 148 にはその後、それぞれの TFT のソース領域と、ドレイン領域に達するコンタクトホールが形成された。そして、ソース電極 149、150、151 と、ドレイン電極 152、153 を形成した。図示していないが、本実施例ではこの電極を、Ti 膜を 100 nm、Ti を含む Al 膜 300 nm、Ti 膜 150 nm をスパッタ法で連続して形成した 3 層構造の電極として用いた。そして、第 1 の層間絶縁膜、ソース電極、ドレイン電極、およびそれぞれの

配線電極上にパッシベーション膜 154 を形成した。パッシベーション膜 154 は、窒化シリコン膜、酸化シリコン膜、または窒酸化シリコン膜で 50～500 nm の厚さで形成した。その後、この状態で水素化処理を行うと TFT の特性向上に対して好ましい結果が得られた。例えば、3～100% の水素を含む雰囲気中で、300～450℃ で 1～12 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用い、プラズマ化されることにより生成された水素雰囲気中で 200～450℃ の熱処理を行っても同様の効果が得られた。その後、有機樹脂からなる第 2 の層間絶縁膜 155 を約 1000 nm の厚さに形成した。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃ で焼成して形成した。

【0027】

(保持容量、画素電極の形成)

画素マトリクス回路の第 2 の層間絶縁膜上に遮光膜 156 を形成した。遮光膜 156 はアルミニウム (Al)、チタン (Ti)、タンタル (Ta) から選ばれた元素を主成分とする膜で 100～300 nm の厚さに形成した。そしてこの部分に保持容量を形成する目的で、遮光膜 156 上に誘電体膜 157 を 50～200 nm の厚さで形成した。この誘電体膜 157 は、陽極酸化法を用いて遮光膜 156 の表面に形成された酸化膜を用いても良い。その他にも酸化シリコン膜、窒化シリコン膜、窒酸化シリコン膜や DLC (Diamond like carbon) 膜やポリイミド膜を用いても良い。しかしながら、例えばポリイミドの比誘電率 3～4 に対して酸化 Al の比誘電率は 7～9 であるので、少ない面積で大きな容量を形成する目的には後者の方が非常に適していた。そして、第 2 の層間絶縁膜 155 に設けられた開孔部 159 と、パッシベーション膜 154 に設けられた開孔部 158 で、ドレイン電極 153 に達するコンタクトホールを形成し、画素電極 160 を形成した。画素電極 160 は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは

透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成した。画素電極160は、誘電体膜157を介して遮光膜156上まで延在して形成され、画素電極160が遮光膜156と重なる領域で保持容量184が形成された（図3（C））。

【0028】

以上の工程で、画素マトリクス回路にはnチャネル型TFT（第4の薄膜トランジスタ）183が形成され、周辺に設けられるCMOS回路にはpチャネル型TFT（第5の薄膜トランジスタ）181、nチャネル型TFT（第3の薄膜トランジスタ）182が同一基板上に形成されたアクティブマトリクス基板が作製された。

【0029】

CMOS回路のpチャネル型TFT181には、チャネル形成領域161、第5の不純物領域162、163が形成された。そして、第4の不純物領域162はソース領域として、第4の不純物領域163はドレイン領域となった。また、nチャネル型TFT182には、チャネル形成領域164、第1の不純物領域165、166、ゲート絶縁膜を介してゲート電極と重なる第3の不純物領域167、168が形成された。第1の不純物領域165はソース領域として、第1の不純物領域168はドレイン領域として機能した。

【0030】

また、画素マトリクス回路のnチャネル型TFT183には、チャネル形成領域169、170、第1の不純物領域171、172、173、ゲート絶縁膜を介してゲート電極と重ならない第4の不純物領域174～177が形成された。

【0031】

本発明は、画素マトリクス回路およびCMOS回路のそれぞれのnチャネル型TFTの動作環境を考慮して、LDD領域となる第2の不純物領域、第3の不純物領域、第4の不純物領域のチャネル長方向の長さを同一基板上で異ならせ、それぞれの回路を構成するTFTに対して、最適な形状を作り込むことができた。nチャネル型TFT182は駆動電圧が10V程度のロジック回路などに適している。チャネル長3～7 μ mに対してゲート電極とオーバーラップしたLDD領

域（第3の不純物領域）の長さ（ L_{ov} ）は0.5～3.0 μm 、代表的には1.5 μm とすれば良い。また、画素マトリクス回路のnチャネル型TFT183はマルチゲート構造であるが、極性反転されるために、ソース側およびドレイン側の両方にオフセットLDD領域となる第4の不純物領域174～177が設けられている。この領域の長さ（ L_{off} ）は0.5～3.5 μm 、代表的には2.0 μm とすれば良い。

【0032】

[実施形態2]

アクティブマトリクス基板の画素マトリクス回路のnチャネル型TFTに接続される保持容量の他の構成について説明する。図4は実施形態1と同様にして作製されたアクティブマトリクス基板の画素マトリクス回路の断面構造図を示す。nチャネル型TFT420に接続される保持容量421は、第2の層間絶縁膜411上に形成された遮光膜412と、その上に形成された誘電体膜413と、画素電極418とから形成されている。また、第2の層間絶縁膜の開口が形成される領域には絶縁体のスペーサー414が設けられ、パッシベーション膜410に設けられた開孔415、第2の層間絶縁膜411に設けられた開孔416、スペーサー414に設けられた開口417で、画素電極418がドレイン電極409に接続されている。このようにスペーサー414を設けることにより、遮光膜と画素電極との間で発生するショートを防止することができる。保持容量421は遮光膜412、誘電体膜413、画素電極418が重なる部分で形成されている。

【0033】

[実施形態3]

図5は画素マトリクス回路のnチャネル型TFTに接続される保持容量の他の構成について示している。図5（A）は実施形態1と同様にして作製された画素マトリクス回路のnチャネル型TFTであり、第2の層間絶縁膜上に遮光膜512、有機樹脂で形成したスペーサー513を形成した。その後、図5（B）のように陽極酸化法で遮光膜の表面に誘電体膜514を形成した。そして、図5（C）のようにパッシベーション膜510に設けられた開孔515、第2の層間絶縁

膜 511 に設けられた開孔 516、スペーサー 513 に設けられた開口 517 で、画素電極 518 がドレイン電極 509 に接続されている。保持容量 521 は遮光膜 512、誘電体膜 514、画素電極 518 が重なる部分で形成されている。

【0034】

【実施例】

[実施例 1]

本実施例では本発明の構成を図 6～図 8 を用い、画素マトリクス回路とその周辺に設けられる駆動回路の基本形態である CMOS 回路を同時に形成したアクティブマトリクス基板の作製方法について説明する。最初に、基板 601 上に下地膜として窒酸化シリコン膜 602a を 50～500 nm、代表的には 100 nm の厚さに形成した。窒酸化シリコン膜 602a は、 SiH_4 と N_2O と NH_3 から作製されるものであり、含有する窒素濃度を 25 atomic% 以上 50 atomic% 未満となるようにした。その後、窒素雰囲気中で 450～650℃ の熱処理を施し、窒酸化シリコン膜 602a を緻密化した。さらに窒酸化シリコン膜 602b を 100～500 nm、代表的には 200 nm の厚さに形成し、連続して非晶質半導体膜（図示せず）を 20～80 nm の厚さに形成した。そして公知の結晶化の方法により結晶性シリコン膜を形成した（図示せず）。結晶性シリコン膜の不要な部分はエッチング除去され、島状の結晶質半導体膜 603～606 が形成され、さらにゲート絶縁膜 607 が形成された。ゲート絶縁膜 607 は、 SiH_4 と N_2O とから作製される窒酸化シリコン膜であり、ここでは 10～200 nm、好ましくは 50～150 nm の厚さで形成した。（図 6（A））

【0035】

次に、島状半導体膜 608、611 の全面と、島状半導体膜 604、605 のチャネル形成領域を覆うレジストマスク 608～611 を形成した。そして、フォスフィン（ PH_3 ）を用いたイオンドープ法で n 型を付与する不純物元素を添加して第 2、第 3 の不純物領域を形成した。この工程では、ゲート絶縁膜 607 を通してその下の島状半導体膜にリンを添加するために、加速電圧は 65 keV に設定した。島状半導体に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とした。そし

て、リンが添加された領域 612～615 が形成された。(図 6 (B))

【0036】

第 1 の導電膜 616 を、スパッタ法により窒化タンタル (Ta₂N₅) や窒化タングステン (WN) で形成した。また、図示しないが、第 1 の導電膜の下にシリコン膜を 2～20 nm 程度の厚さで形成しておいても良い。続いて、アルミニウム (Al) や銅 (Cu) を主成分とする第 2 の導電膜 617 を、100～300 nm の厚さに形成した (図 6 (C))。そして、入出力端子から駆動回路の入出力までの配線の一部とするために、第 2 の導電膜をエッチングして配線 618 を形成した。例えば、第 2 の導電膜に Al を用いれば、リン酸溶液により下地 Ta₂N₅ と選択性良くエッチングすることができた。さらに、第 1 の導電層 616 と配線 618 上に第 3 の導電膜 619 を Ta、Ti、Mo、W から選ばれた元素を主成分とする導電性材料で、100～400 nm の厚さに形成した。例えば、Ta を 200 nm の厚さに形成すれば良い (図 6 (D))。

【0037】

次に、レジストマスク 620～625 を形成し、第 1 の導電膜と第 3 の導電膜の一部をエッチング除去して、入出力端子から駆動回路の入出力までの配線 626、p チャネル型 TFT のゲート電極 627 と、ゲート配線 630 を形成した。Ta₂N₅ 膜と Ta 膜のエッチングは CF₄ と O₂ の混合ガスにより行うことができた。そして、レジストマスク 620～625 をそのまま残して、p チャネル型 TFT が形成される島状半導体膜 603 の一部に、p 型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン (B₂H₆) を用いてイオンドープ法で添加した。この領域のボロン濃度は $2 \times 10^{20} \text{ atom s/cm}^3$ とした。そして、図 7 (A) に示すようにボロンが高濃度に添加された第 5 の不純物領域 633、634 が形成された。

【0038】

図 7 (A) で設けられたレジストマスクを除去した後、新たにレジストマスク 635～640 を形成した。これは n チャネル型 TFT のゲート電極を形成するためのものであり、ドライエッチング法により n チャネル型 TFT のゲート電極 641～643 が形成された。このときゲート電極 641、642 は第 2 の不純

物領域 6 1 2 ~ 6 1 5 の一部と重なるように形成された。(図 7 (B))

【0 0 3 9】

そして、新たなレジストマスク 6 4 5 ~ 6 4 9 を形成した。レジストマスク 6 4 7、6 4 9 は n チャネル型 T F T のゲート電極 6 4 2、6 4 3 と第 2 の不純物領域の一部を覆う形で形成された。そして、n 型を付与する不純物元素を添加して第 1 の不純物領域を形成する工程を行い、n チャネル型 T F T が形成される島状半導体層に第 1 の不純物領域 6 5 0 ~ 6 5 5 が形成された。(図 7 (C))

【0 0 4 0】

画素マトリクス回路の n チャネル型 T F T の、L D D 領域となる第 4 の不純物領域を島状半導体層 6 0 6 に形成するために n 型を付与する不純物元素を添加する工程を行った。添加するリン濃度は、第 2 および第 3 の不純物領域と同程度かそれより少なくするのが好ましく、ここでは $2 \times 10^{17} \text{ atoms/cm}^3$ とし、ゲート電極をマスクとして自己整合的に第 4 の不純物領域 6 5 6 ~ 6 5 8 を形成した。(図 8 (A))。

【0 0 4 1】

そして、第 1 の層間絶縁膜 6 5 9 をプラズマ C V D 法で S i H₄、N₂O、NH₃ を原料とした窒酸化シリコン膜で形成した。この窒酸化シリコン膜中の含有水素濃度は 1 ~ 3 0 atomic% となるように形成することが望ましかった。その後、この状態で窒素雰囲気中で 4 0 0 ~ 8 0 0 °C、1 ~ 1 2 時間、例えば 5 2 5 °C で 8 時間の加熱処理を行った。この工程により添加された n 型及び p 型を付与する不純物元素を活性化させることができた。この熱処理の後に水素化の工程を行なった。ここでは 3 ~ 1 0 0 % の水素雰囲気中で 3 0 0 ~ 5 0 0 °C、好ましくは 3 5 0 ~ 4 5 0 °C で 2 ~ 1 2 時間の水素化処理の工程を行うと良い。または、2 0 0 ~ 5 0 0 °C、好ましくは 3 0 0 ~ 4 5 0 °C の基板温度でプラズマ化させることによってできた水素で水素化処理をしても良い。(図 8 (B))

【0 0 4 2】

その後、第 1 の絶縁膜 6 5 9 は所定のレジストマスクを形成して、エッチング処理によりそれぞれの T F T のソース領域と、ドレイン領域に達するコンタクトホールを形成した。そして、ソース電極 6 6 0、6 6 3、6 6 4、6 6 6 とドレ

イン電極 661、662、665、657 を形成した。図示していないが、本実施例ではこの電極を、Ti 膜を 100 nm、Ti を含む Al 膜 300 nm、Ti 膜 150 nm をスパッタ法で連続して形成した 3 層構造の電極として用いた。

【0043】

そしてこの上に、パッシベーション膜 670 を形成した。パッシベーション膜 670 はプラズマ CVD 法で SiH_4 、 N_2O 、 NH_3 から形成される窒酸化シリコン膜、または SiH_4 、 N_2 、 NH_3 から作製される窒化シリコン膜で形成すれば良い。まず、膜の形成に先立って N_2O 、 N_2 、 NH_3 等を導入してプラズマ水素化処理により水素化の工程を行なった。プラズマ化されることにより気相中で生成された水素は第 1 の層間絶縁膜中に供給され、基板を 200～400℃ に加熱しておけば、その水素を下層側にも拡散して半導体層を水素化することができた。このパッシベーション膜の作製条件は特に限定されるものではないが、緻密な膜とすることが望ましい。また、パッシベーション膜を形成した後に、水素化の工程を水素または窒素を含む雰囲気中で 300～550℃ の加熱処理を 1～12 時間の加熱処理により行っても良い。

【0044】

その後、有機樹脂からなる第 2 の層間絶縁膜 671 を約 1000 nm の厚さに形成した。有機樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜を用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃ で焼成して形成した。

【0045】

第 2 の層間絶縁膜上に窒酸化シリコン膜や酸化シリコン膜などで絶縁膜 644 を 5～50 nm 形成しておくこと、この上に形成する遮光膜の密着性を高めることができた。また、有機樹脂で形成した第 2 の層間絶縁膜表面を CF_4 プラズマで処理して表面改質すると、この上に形成する膜の密着性を向上させることができた。そしてスパッタ法や真空蒸着法で Al 膜を形成しエッチング処理して遮光膜

672とした。この遮光膜672は陽極酸化法によってその表面に50～200 nmの酸化膜を形成した。陽極酸化は、まず十分にアルカリイオン濃度の小さい酒石酸エチレングリコール溶液を作製した。酒石酸の濃度としては、0.1～10%、好ましくは3%とし、これに1～20%のアンモニア水を加え、pHが7±0.5となるように調節した。この溶液中に陰極となる白金電極を設け、遮光膜672が形成されている基板を溶液に浸した。そして、遮光膜672を陽極として、直流電流を2 mA一定となるようにした。溶液中の陰極と陽極との間の電圧は酸化膜の成長に従い時間と共に変化するが、電流が一定となるように電圧を調整し、150 Vとなったところで電圧を一定として、その後電流が0.1 mAになるまで保持した。このようにして遮光膜672の表面には厚さ50～200 nmの酸化Al膜673を形成することができた。尚、ここで示した陽極酸化法に係わる数値は一例にすぎず、作製する素子の大きさ等によって当然最適値は変化しうるものである。そして、絶縁膜644、第2の層間絶縁膜671、パッシベーション膜670に設けられた開孔部でドレイン電極667に達するコンタクトホールを形成し、画素電極676を形成した。画素電極676は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良かった。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を100 nmの厚さにスパッタ法で形成した。画素電極676は、酸化Al膜673を介して遮光膜672上まで延在して形成され、画素電極676が遮光膜672と重なる領域で保持容量700が形成された。以上の工程で、画素マトリクス回路とその周辺に設けられる駆動回路のTFTが同一基板上に形成されたアクティブマトリクス基板が作製された。（図8（C））

【0046】

pチャネル型TFT701は自己整合的（セルフアライン）に形成され、nチャネル型TFT702～704は非自己整合的（ノンセルフアライン）に形成された。CMOS回路のpチャネル型TFT701には、チャネル形成領域677、第5の不純物領域678、679が形成された。第5の不純物領域678はソース領域として、第5の不純物領域679はドレイン領域となった。一方、nチ

ャネル型TFT702には、チャネル形成領域680、ソース領域となる第1の不純物領域681、ドレイン領域となる第1の不純物領域682、ゲート絶縁膜を介してゲート電極と重なる第3の不純物領域683、684が形成された。このnチャネル型TFTはシフトレジスタ回路やバッファ回路に適している。また、nチャネル型TFT703には、チャネル形成領域685、ソース領域となる第1の不純物領域686、ドレイン領域となる第1の不純物領域687、ゲート絶縁膜を介してゲート電極と重なる第3の不純物領域688a、689a、ゲート電極と重ならない第2の不純物領域688b、689bが形成された。このようなnチャネル型TFTは、サンプリング回路に適していた。画素マトリクス回路のnチャネル型TFT704には、チャネル形成領域690、691、第1の不純物領域692、696、ゲート絶縁膜を介してゲート電極と重ならない第4の不純物領域693～695が形成された。

【0047】

[実施例2]

本実施例では、アクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図9に示すように、図8(C)の状態の基板に対し、配向膜901を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の基板902には、透明導電膜903と、配向膜904とを形成した。配向膜は形成された後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って平行配向するようにした。そして、画素マトリクス回路と、CMOS回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（共に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶材料905を注入し、封止剤（図示せず）によって完全に封止した。液晶材料にはTN液晶の他に反強誘電性液晶（Antiferroelectric Liquid Crystal）、しきい値なし反強誘電性液晶などを適用できる。このようにして図9に示すアクティブマトリクス型液晶表示装置が完成した。

【0048】

次にこのアクティブマトリクス型液晶表示装置の構成を、図10の斜視図およ

び図11の上面図を用いて説明する。尚、図10と図11は、図6～図8の断面構造図と対応付けるため、共通の符号を用いている。アクティブマトリクス基板は、ガラス基板601上に形成された、画素マトリクス回路1001と、走査（ゲート）線駆動回路1002と、信号（ソース）線駆動回路1003で構成される。画素マトリクス回路の画素TFT704はnチャネル型TFTであり、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査（ゲート）線駆動回路1002と、信号（ソース）線駆動回路1003はそれぞれゲート配線643とソース配線666で画素マトリクス回路1001に接続されている。また、FPC1031が接続された外部入出力端子1034から駆動回路の入出力端子までの配線626、668が設けられている。

【0049】

図11は画素マトリクス回路1001の一部分を示す上面図である。ここで図11（A）は半導体層、ゲート電極、ソース電極の重ねあわせを示す上面図であり、同図（B）はその上に形成される遮光膜、画素電極の重ねあわせを示す上面図である。ゲート電極643は、図示されていないゲート絶縁膜を介してその下の半導体層606と交差している。図示はしていないが、半導体層606には、ソース領域、ドレイン領域、第4の不純物領域が形成されている。また、画素TFTの上には遮光膜672と、酸化A1膜（図示せず）と、各画素ごとに設けられる画素電極676が形成され、遮光膜672と画素電極676とが酸化A1膜を介して重なる領域で保持容量700が形成される。酸化A1膜を容量部を形成するための誘電体膜としたことで、必要な容量を形成するための面積を少なくすることが可能であり、さらに、本実施例のように画素TFT上に形成される遮光膜を保持容量の一方の電極とすることで、アクティブマトリクス型液晶表示装置の画像表示部の開口率を向上させることができた。また、図11で示すA-A'に沿った断面構造は、図8に示す画素マトリクス回路のA-A'断面図に対応している。

【0050】

〔実施例3〕

図12に、画素マトリクス回路の各画素TFTに設けられる保持容量の接続方

法の他の構成例を示す。図 12 は実施形態 1 と同様にして作製されたアクティブマトリクス基板の画素マトリクス回路の断面構造図を示す。図 12 (A) において、n チャンネル型 T F T に接続される保持容量 1240 は、第 2 の層間絶縁膜 1212 上に形成された遮光膜 1213 と、その上に形成された誘電体膜 1214 と、画素電極 1215 とから形成されている。そして、保持容量 1240 の一方の電極である画素電極 1215 は、パッシベーション膜 1211 と第 2 の層間絶縁膜 1212 に設けられた開孔 1260 でドレイン電極 1209 に接続されている。また、他方の電極である遮光膜は、パッシベーション膜 1211 と第 2 の層間絶縁膜 1212 に設けられた開孔 1261 で、第 1 の層間絶縁膜 1207 上に形成された配線電極 1210 と接続されている。また、図 12 (B) では画素電極 1215 と同じ材料で形成された配線 1216 と、遮光膜 1213 が誘電体膜 1214 を介して接続部 1251 で静電結合して、パッシベーション膜 1211 と第 2 の層間絶縁膜 1212 に設けられた開孔 1261 で第 1 の層間絶縁膜 1207 上に形成された配線電極 1210 と接続することも可能である。また、図 12 (B) では、遮光膜 1213 が誘電体膜 1214、配向膜 1217、液晶 1218、対向基板側の配向膜 1219 を介して共通電極 1220 と静電的に結合させることも可能である。

【0051】

[実施例 4]

図 13 は、実施例 1 で示したアクティブマトリクス基板の回路構成の一例を示す。本実施例のアクティブマトリクス基板は、ソース信号線側駆動回路 1301、ゲート信号線側駆動回路 (A) 1307、ゲート信号線側駆動回路 (B) 1311、プリチャージ回路 1312、画素マトリクス回路 1306 を有している。ソース信号線側駆動回路 1301 は、シフトレジスタ回路 1302、レベルシフタ回路 1303、バッファ回路 1304、サンプリング回路 1305 を備えている。また、ゲート信号線側駆動回路 (A) 1307 は、シフトレジスタ回路 1308、レベルシフタ回路 1309、バッファ回路 1310 を備えている。ゲート信号線側駆動回路 (B) 1311 も同様な構成である。

【0052】

ここで、それぞれの回路の駆動電圧の一例を示すと、シフトレジスタ回路 1302、1308 は 10～16 V であり、レベルシフト回路 1303、1309、バッファ回路 1304、1310、サンプリング回路 1305 画素マトリクス回路 1306 は 14～16 V であった。サンプリング回路 1305 画素マトリクス回路 1306 は印加される電圧の振幅であり、通常極性反転された電圧が交互に印加されていた。本発明は、 n チャネル型 T F T の駆動電圧を考慮して、L D D 領域となる第 2 の不純物領域の長さを同一基板上で異ならしめることが容易であり、それぞれの回路を構成する T F T に対して、最適な形状を同一工程で作り込むことができた。

【0053】

図 14 (A) はシフトレジスタ回路の T F T の構成例を示している。シフトレジスタ回路の n チャネル型 T F T はシングルゲートであり、ゲート電極とオーバーラップする第 3 の不純物領域 (L D D 領域) 205、206 が設けられている。この領域のチャネル長方向の長さは、チャネル長を 3～7 μm として、0.5～3 μm とすれば良い。この L D D の構成は、ホットキャリア劣化対策に有効であり、オフ領域の特性を重視しないシフトレジスタ回路などに適している。

【0054】

図 14 (B) はレベルシフト回路、バッファ回路の T F T の構成例を示している。これらの回路の n チャネル型 T F T はダブルゲートとしてあるが、勿論シングルゲートとしても問題ない。この n チャネル型 T F T もゲート電極とオーバーラップする第 3 の不純物領域 (L D D 領域) 205、206 が設けられた構造である。

【0055】

図 14 (C) はサンプリング回路の T F T の構成例を示している。この回路の n チャネル型 T F T はシングルゲートであるが、極性反転されるために、ソース側およびドレイン側の両方に L D D 領域となる第 2 の不純物領域が設けられている。ゲート電極とオーバーラップしない L D D 領域 205 と 206 の長さは、それぞれ等しくすることが好ましく、0.5～3.0 μm の範囲で形成すると良い。

【0056】

また、図14(D)は、1.5～5V程度の駆動電圧で高速動作させるCMOS回路に適した構成で、nチャネル型TFTのドレイン領域208側には、ゲート電極とオーバーラップする第3の不純物領域が形成されず、寄生容量による動作周波数の低下を防ぐ構成となっている。

【0057】

[実施例5]

本実施例では、本発明に適用できる半導体層の作製方法について説明する。図15において基板1501はガラス基板、セラミクス基板、石英基板などを用いることができる。また、酸化シリコン膜や窒化シリコン膜などの絶縁膜を表面に形成したシリコン基板やステンレスに代表される金属基板を用いても良い。ガラス基板を用いる場合には、歪み点以下の温度で予め加熱処理しておくことが望ましい。例えば、コーニング社の#1737基板を用いる場合には、500～650℃、好ましくは595～645℃で1～24時間の加熱処理をしておくが良い。

【0058】

そして、基板1501の主表面に、下地膜を形成した。下地膜の材質に特別な限定はないが、窒酸化シリコン膜1502で形成した。その他にも窒化シリコン膜、酸化シリコン膜、窒酸化シリコン膜、酸化タンタル膜から選ばれた一層もしくは複数の層で形成することも可能である。そして、窒酸化シリコン膜を用いる場合には、20～100nm、代表的には50nmの厚さに形成すれば良い。また、この窒化シリコン膜の上に窒酸化シリコン膜を50～500nm、代表的には50～200nmの厚さに形成しても良い。そしてこの上に非晶質半導体層1503を形成した。これはプラズマCVD法、減圧CVD法、スパッタ法などの成膜法で形成される非晶質半導体であれば良く、シリコン(Si)、ゲルマニウム(Ge)、またシリコンゲルマニウム合金、炭化シリコンがあり、その他にガリウム砒素などの化合物半導体材料を用いることができる。半導体層は10～100nm、代表的には50nmの厚さとして形成した。また、下地膜1501と非晶質半導体層1503とをプラズマCVD法やスパッタ法で連続形成すること

も可能である。それぞれの層が形成された後、その表面が大気雰囲気に触れないことにより、その表面の汚染を防ぐことができる。(図 15 (A))

【0059】

次に結晶化の工程を行った。非晶質半導体層を結晶化する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、プラズマ CVD 法で作製される非晶質半導体層には 10~40 atomic% の割合で膜中に水素が含まれていて、結晶化の工程に先立って 400~500℃ の熱処理の工程を行い水素を膜中から脱離させて含有水素量を 5 atomic% 以下としておくことが望ましかった(図 15 (B))。そして、結晶性半導体層 1504 から島状の結晶性半導体層 1505 を形成し、さらにゲート絶縁膜 1505 を形成した。ゲート絶縁膜 1505 には、窒化シリコン膜、酸化シリコン膜、窒酸化シリコン膜、などの材料で形成すれば良い。ゲート絶縁膜 1505 の厚さは 10~1000 nm、好ましくは 50~400 nm として形成すれば良い。以降の工程は実施例 1 に従うと本発明の半導体装置を形成することができる。(図 15 (C))

【0060】

図 16 は、基板 1601 の主表面に、窒酸化シリコン膜からなる下地膜 1602 を形成し、図 15 と同様にその表面に非晶質半導体層 1603 を形成した。非晶質半導体層の厚さは、10~200 nm、好ましくは 30~100 nm に形成すれば良い。さらに、重量換算で 10 ppm の触媒元素を含む水溶液をスピコート法で塗布して、触媒元素含有層 1604 を非晶質半導体層 1603 の全面に形成した。ここで使用可能な触媒元素は、ニッケル (Ni) の以外にも、ゲルマニウム (Ge)、鉄 (Fe)、パラジウム (Pd)、スズ (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au)、といった元素であった。非晶質半導体層の内部応力は、作製条件により一様に決まるものではなかった。しかし、結晶化の工程に先立って 400~600℃ の熱処理の工程を行い水素を膜中から脱離させる必要があった(図 16 (A))。そして、500~600℃ で 4~12 時間、例えば 550℃ で 8 時間の熱処理を行い、結晶性半導体層 1605 が形成された。(図 16 (B))

【0061】

次に、結晶化の工程で用いた触媒元素を結晶質半導体膜から除去するゲッタリングの工程を行った。このゲッタリングの工程により結晶質半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{atms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atms/cm}^3$ にまで低減することができた。まず、結晶質半導体層 1605 の表面にマスク絶縁膜 1606 を 150 nm の厚さに形成し、パターニングにより開口部 1607 が設けられ、結晶質半導体層を露出させた領域を設けた。そして、リンを添加する工程を実施して、結晶質半導体層にリン含有領域 1608 を設けた（図 16 (C)）。この状態で、窒素雰囲気中で 550～800℃、5～24 時間、例えば 600℃、12 時間の熱処理を行うと、リン含有領域 1608 がゲッタリングサイトとして働き、結晶質半導体層 1605 に残存していた触媒元素をリン含有領域 1608 に偏析させることができた（図 16 (D)）。そして、マスク絶縁膜 1606 と、リン含有領域 1608 とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を $1 \times 10^{17} \text{atms/cm}^3$ 以下にまで低減された結晶質半導体層を得ることができた。そして、結晶性半導体層 1609 に密接してゲート絶縁膜 1610 を形成した（図 16 (E)）。

【0062】

また、図 17 は、基板 1701 上に、下地膜 1701、非晶質半導体層 1702 の順に形成し、そして、非晶質半導体層 1702 の表面に酸化シリコン膜 1704 を形成した。この時、酸化シリコン膜 1704 の厚さは 150 nm とした。さらに、酸化シリコン膜 1704 をパターニングして、選択的に開口部 1705 を形成し、その後、重量換算で 10 ppm の触媒元素を含む水溶液を塗布した。これにより、触媒元素含有層 1706 が形成された。触媒含有層 1706 は開口部 1705 のみで非晶質半導体層 1703 と接触した（図 17 (A)）。次に、500～650℃で 4～24 時間、例えば 570℃、14 時間の熱処理を行い、結晶質半導体層 1707 を形成した。この結晶化の過程では、触媒元素が接した非晶質半導体層の領域が最初に結晶化し、そこから横方向へと結晶化が進行した。こうして形成された結晶質半導体層 1707 は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長しているため、結晶性が揃っているという利点があった（図 17 (B)）。

【0063】

次に、図16と同様に結晶化の工程で用いた触媒元素を結晶質半導体膜から除去する工程を行った。図17(B)と同じ状態の基板に対し、リンを添加する工程を実施して、結晶質半導体層にリン含有領域1709を設けた。この領域のリンの含有量は $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ とした(図17(C))。この状態で、窒素雰囲気中で $550 \sim 800^\circ\text{C}$ 、 $5 \sim 24$ 時間、例えば 600°C 、12時間の熱処理を行うと、リン含有領域1709がゲッタリングサイトとして働き、結晶質半導体層1707に残存していた触媒元素をリン含有領域1709に偏析させることができた(図17(D))。

【0064】

そして、マスク用酸化膜と、リン含有領域1709とをエッチングして除去して、島状の結晶性半導体層1710を形成した。そして、結晶性半導体層1710に密接してゲート絶縁膜1711を形成した。ゲート絶縁膜1711には、酸化シリコン膜、窒素酸化シリコン膜から選ばれた一層もしくは複数の層から形成した。その厚さは $10 \sim 100 \text{ nm}$ 、好ましくは $50 \sim 80 \text{ nm}$ として形成すれば良い。そして、ハロゲン(代表的には塩素)と酸素を含む雰囲気中で熱処理を行った。例えば、 950°C 、30分とした。尚、処理温度は $700 \sim 1100^\circ\text{C}$ の範囲で選択すれば良く、処理時間も10分から8時間の間で選択すれば良かった。その結果、結晶性半導体層1710と第2の絶縁層1711との界面で熱酸化膜が形成され、界面準位密度の低い良好な界面を形成することができた。(図17(E))。

【0065】

[実施例6]

本実施例では、本発明のTFT回路によるアクティブマトリクス型液晶表示装置を組み込んだ半導体装置について図18で説明する。

【0066】

このような半導体装置には、携帯情報端末(電子手帳、モバイルコンピュータ、携帯電話等)、ビデオカメラ、スチルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図18に示す。

【0067】

図18 (A) は携帯電話であり、本体9001、音声出力部9002、音声入力部9003、表示装置9004、操作スイッチ9005、アンテナ9006から構成されている。本願発明は音声出力部9002、音声入力部9003、及びアクティブマトリクス基板を備えた表示装置9004に適用することができる。

【0068】

図18 (B) はビデオカメラであり、本体9101、表示装置9102、音声入力部9103、操作スイッチ9104、バッテリー9105、受像部9106から成っている。本願発明は音声入力部9103、及びアクティブマトリクス基板を備えた表示装置9102、受像部9106に適用することができる。

【0069】

図18 (C) はモバイルコンピュータであり、本体9201、カメラ部9202、受像部9203、操作スイッチ9204、表示装置9205で構成されている。本願発明は受像部9203、及びアクティブマトリクス基板を備えた表示装置9205に適用することができる。

【0070】

図18 (D) はヘッドマウントディスプレイであり、本体9301、表示装置9302、アーム部9303で構成される。本願発明は表示装置9302に適用することができる。また、表示されていないが、その他の信号制御用回路に使用することもできる。

【0071】

図18 (E) はリア型プロジェクターであり、本体9401、光源9402、表示装置9403、偏光ビームスプリッタ9404、リフレクター9405、9406、スクリーン9407で構成される。本発明は表示装置9403に適用することができる。

【0072】

図18 (F) は携帯書籍であり、本体9501、表示装置9502、9503、記憶媒体9504、操作スイッチ9505、アンテナ9506から構成されており、ミニディスク (MD) やDVDに記憶されたデータや、アンテナで受信し

たデータを表示するものである。表示装置 9502、9503 は直視型の表示装置であり、本発明はこの適用することができる。

【0073】

また、ここでは図示しなかったが、本発明はその他にも、カーナビゲーションシステムやイメージセンサパーソナルコンピュータの表示部に適用することも可能である。このように、本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。

【0074】

【発明の効果】

本発明によれば、 n チャネル型 TFT のチャネル形成領域とドレイン領域との間に LDD 領域として、ゲート電極とオーバーラップする第 3 の不純物領域、ゲート電極とオーバーラップしない第 2 の不純物領域および第 4 の不純物領域を設け、異なる動作特性に応じて構造を最適化させた n チャネル型 TFT を同一基板上に形成することができる。例えば、アクティブマトリクス基板に形成される CMOS 回路を基本として形成される周辺駆動回路には、ゲート電極とオーバーラップする第 3 の不純物領域を設けた n チャネル型 TFT を形成し、画素マトリクス回路の n チャネル型 TFT にはゲート電極とオーバーラップしない第 4 の不純物領域を設けた構造とすることができる。

【0075】

また、画素マトリクス回路に設ける保持容量を、遮光膜と遮光膜上に形成される誘電体膜と画素電極で形成し、特に遮光膜に Al を用い、誘電体膜を陽極酸化法で形成し、酸化 Al 膜を用いることで、画像表示に必要な容量を形成するための面積を少なくすることが可能であり、さらに、画素 TFT 上に形成される遮光膜を保持容量の一方の電極とすることで、アクティブマトリクス型液晶表示装置の画像表示部の開口率を向上させることができた。

【図面の簡単な説明】

- 【図 1】 画素マトリクス回路と周辺駆動回路の作製工程を示す断面図。
- 【図 2】 画素マトリクス回路と周辺駆動回路の作製工程を示す断面図。
- 【図 3】 画素マトリクス回路と周辺駆動回路の作製工程を示す断面図。

- 【図 4】 保持容量の構成を示す断面図。
- 【図 5】 保持容量の作製工程を示す断面図。
- 【図 6】 画素マトリクス回路と周辺駆動回路の作製工程を示す断面図。
- 【図 7】 画素マトリクス回路と周辺駆動回路の作製工程を示す断面図。
- 【図 8】 画素マトリクス回路と周辺駆動回路の作製工程を示す断面図。
- 【図 9】 アクティブマトリクス型液晶表示装置の断面構造図。
- 【図 1 0】 アクティブマトリクス型液晶表示装置の斜視図。
- 【図 1 1】 画素マトリクス回路の上面図。
- 【図 1 2】 保持容量の構成を示す断面図。
- 【図 1 3】 アクティブマトリクス型液晶表示装置の回路ブロック図。
- 【図 1 4】 本発明の T F T の構成を示す断面図。
- 【図 1 5】 結晶質半導体層の作製工程を示す断面図。
- 【図 1 6】 結晶質半導体層の作製工程を示す断面図。
- 【図 1 7】 結晶質半導体層の作製工程を示す断面図。
- 【図 1 8】 半導体装置の一例を示す図。

【符号の説明】

- 1 0 1 基板
- 1 0 2、1 0 3 下地膜
- 1 0 4～1 0 6 半導体層
- 1 0 7 ゲート絶縁膜
- 1 2 0、1 3 1、1 3 2 ゲート電極
- 1 2 2、1 2 3 配線電極
- 1 4 8 第 1 の層間絶縁膜
- 1 4 9、1 5 0、1 5 1 ソース電極
- 1 5 2、1 5 3 ドレイン電極
- 1 5 4 パッシベーション膜
- 1 5 5 第 2 の層間絶縁膜
- 1 5 6 遮光膜
- 1 5 7 誘電体膜

160 画素電極

162、163 第5の不純物領域

166、165、171～173 第1の不純物領域

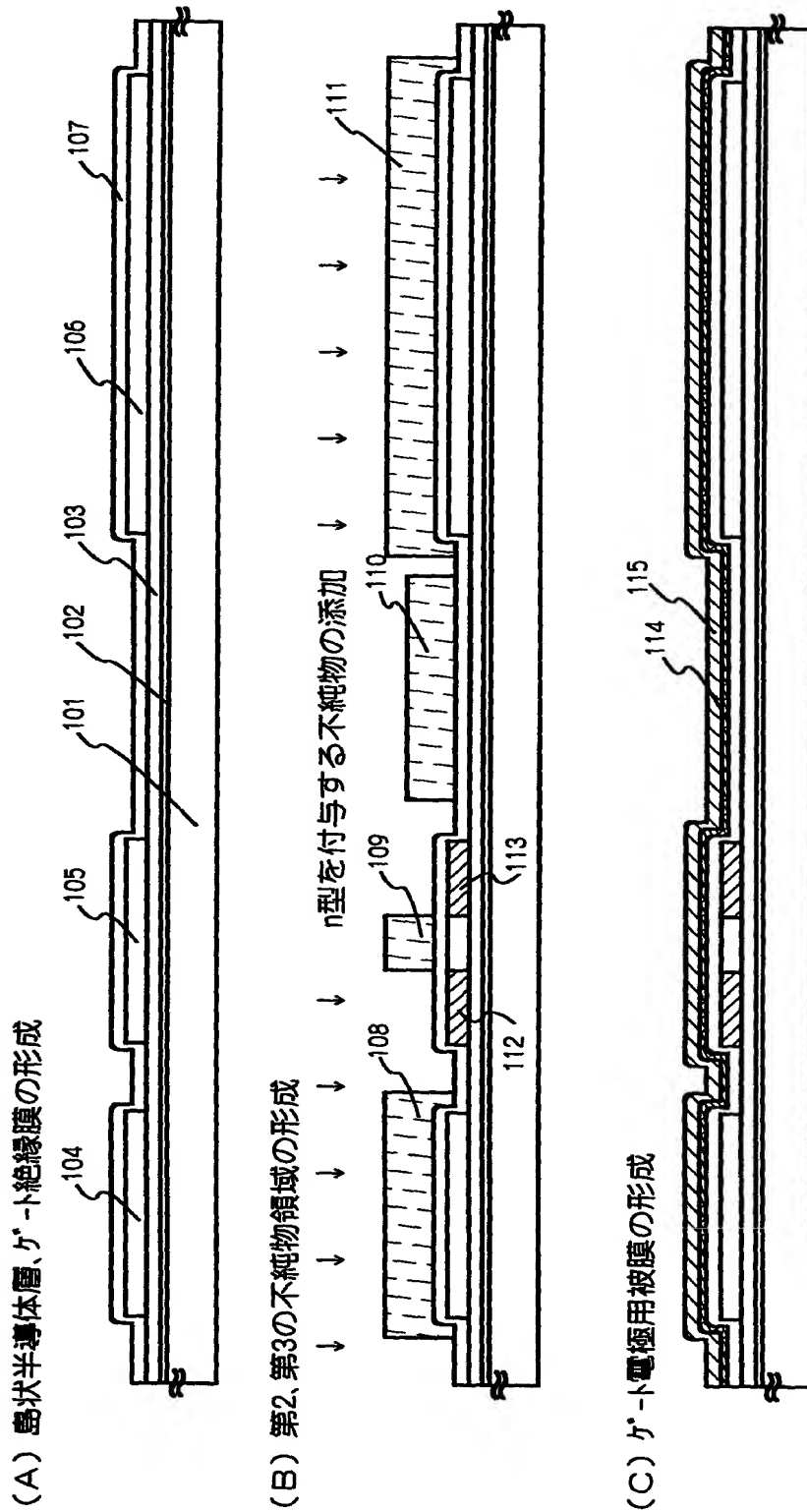
167、168 第3の不純物領域

174～177 第4の不純物領域

【書類名】

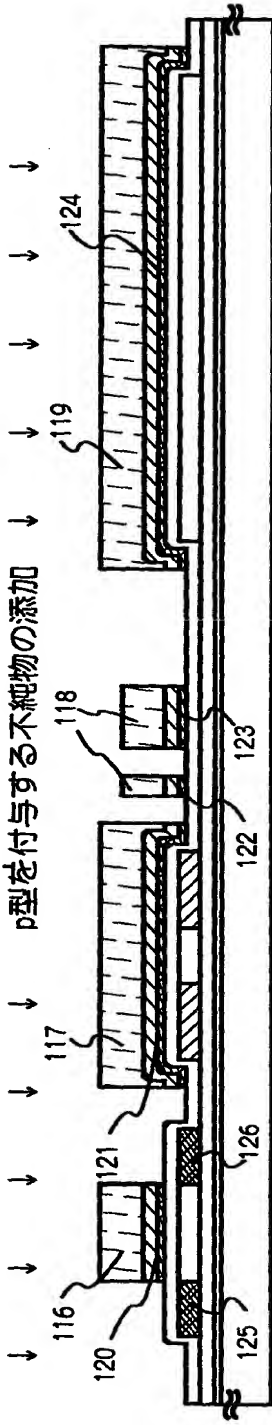
図面

【図 1】

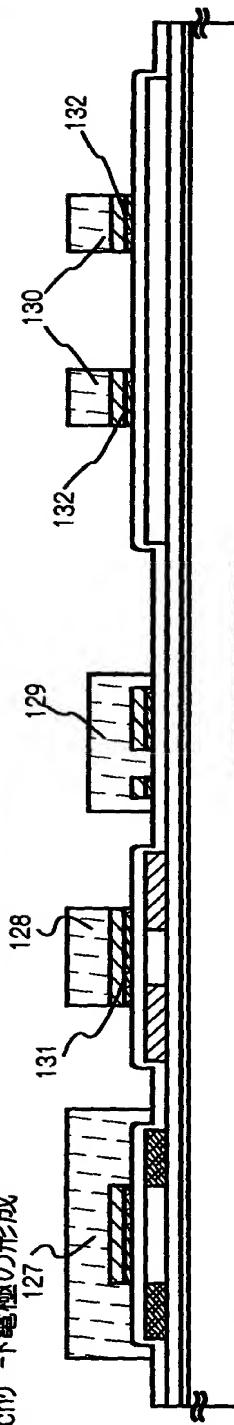


【図2】

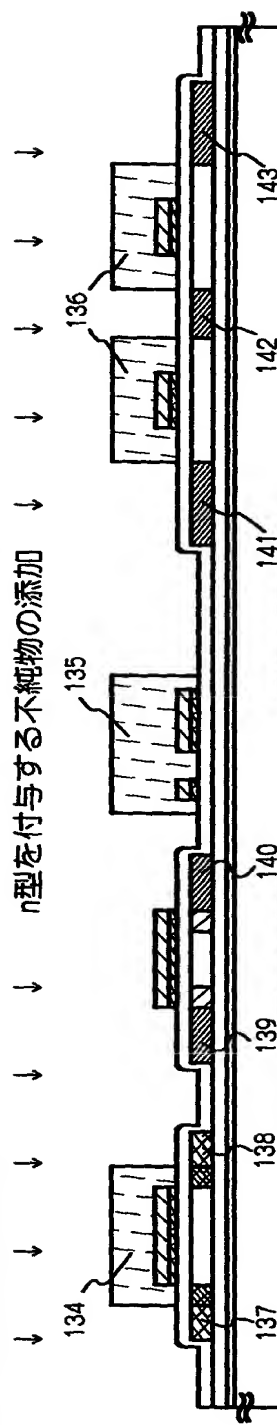
(A) p-ch γ -ト電極の形成、第5の不純物領域の形成



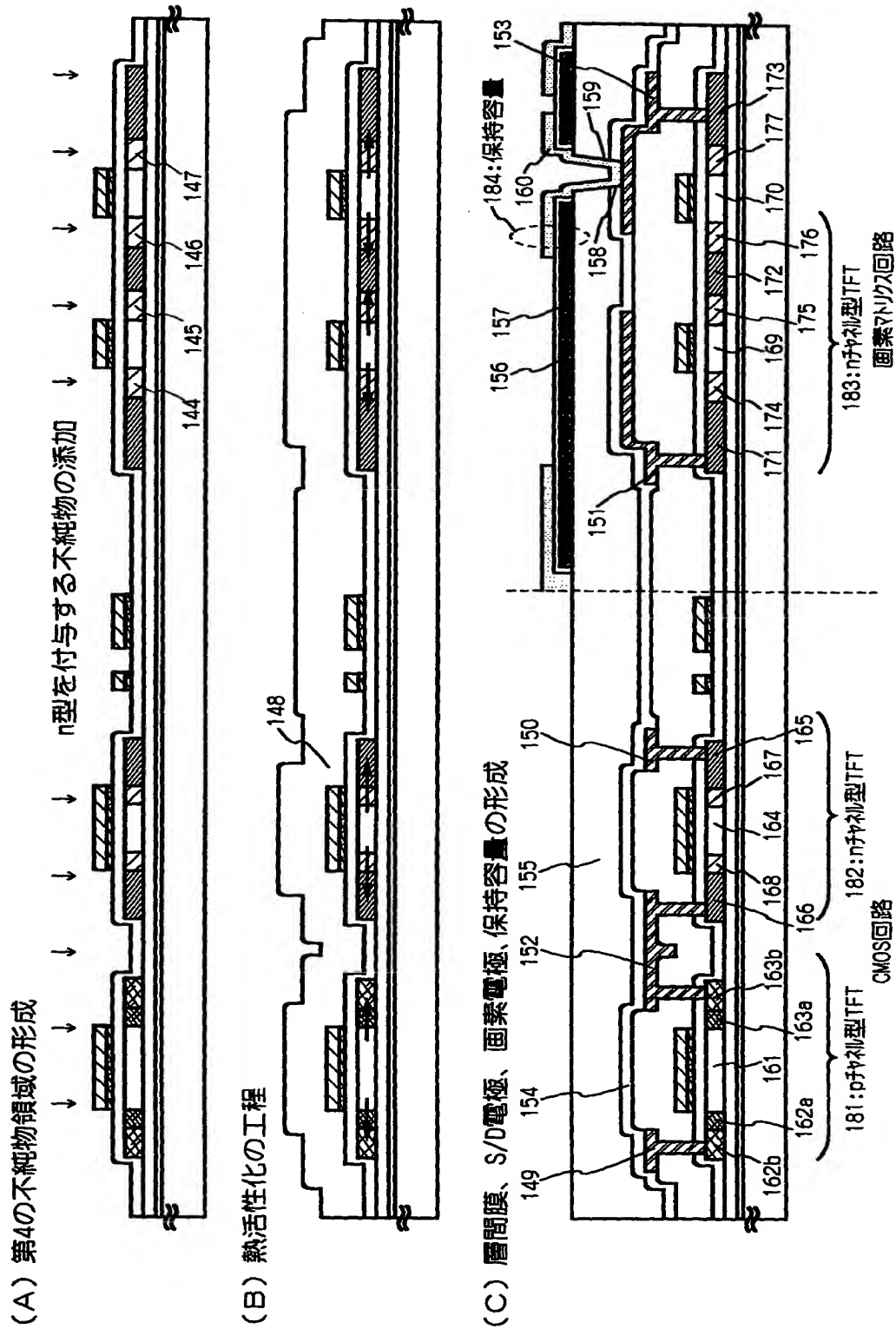
(B) n-ch γ -ト電極の形成



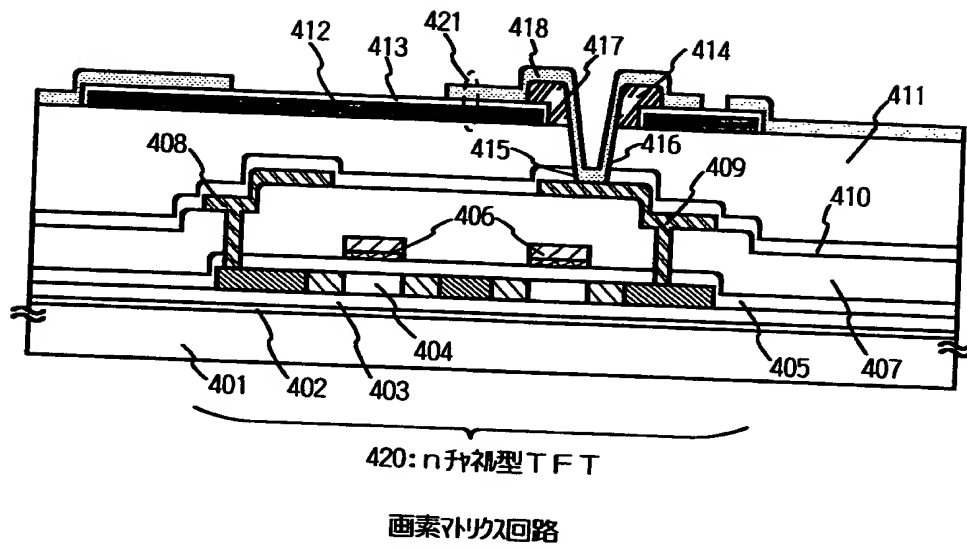
(C) 第1の不純物領域の形成



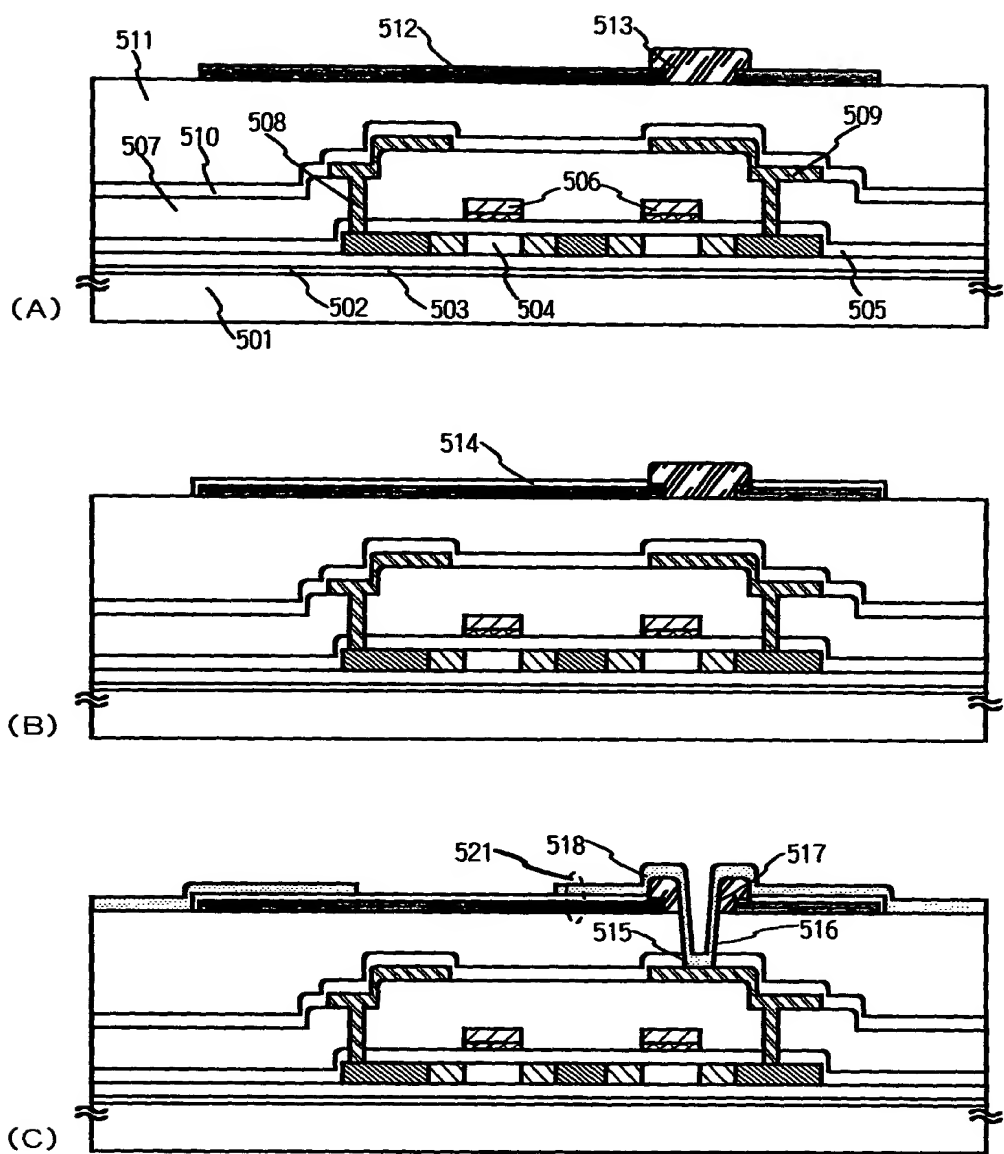
【図 3】



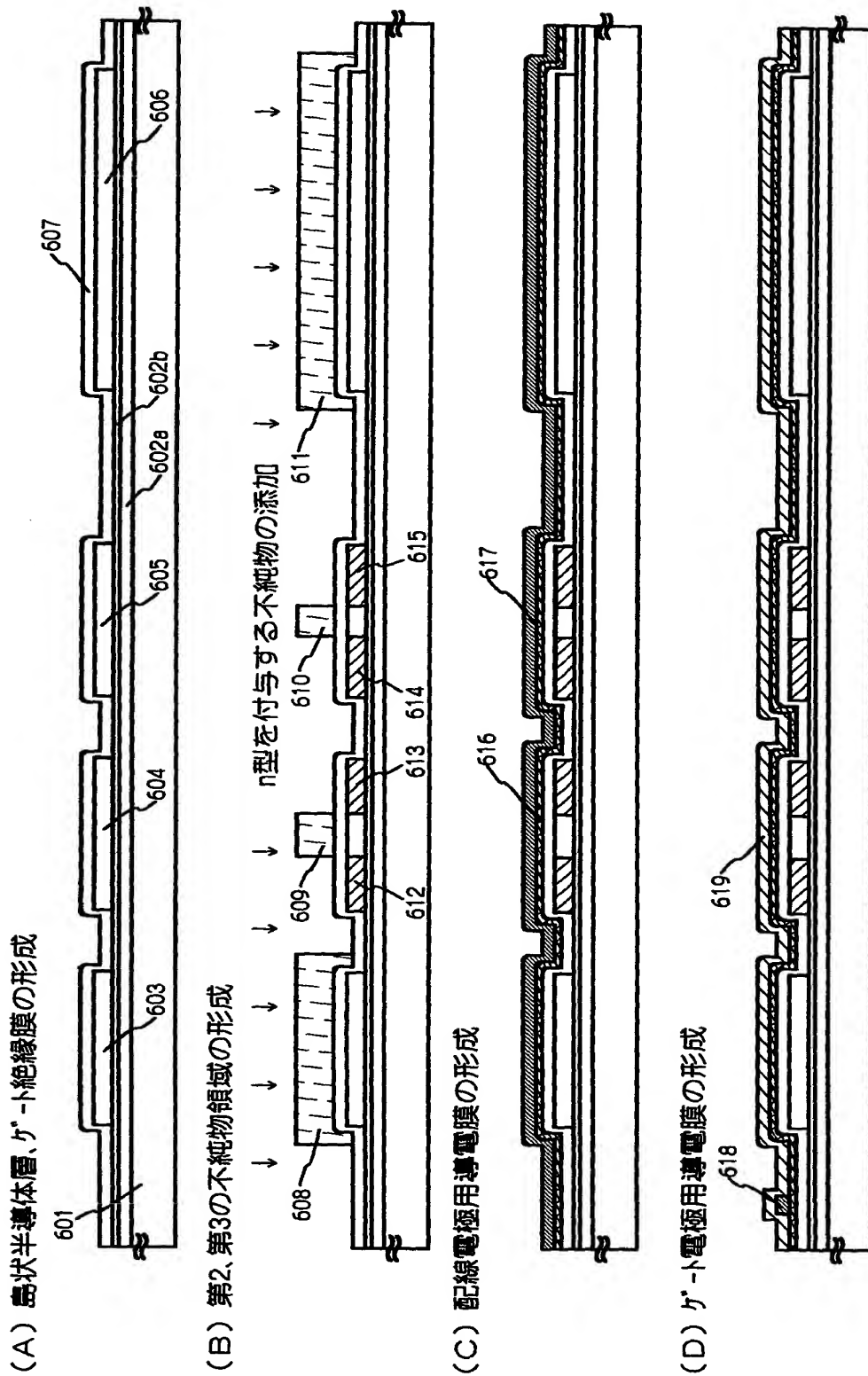
【図 4】



【図 5】

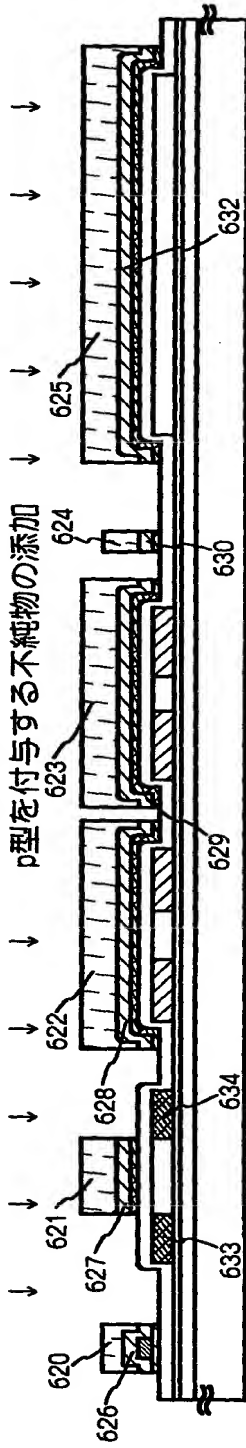


【図 6】

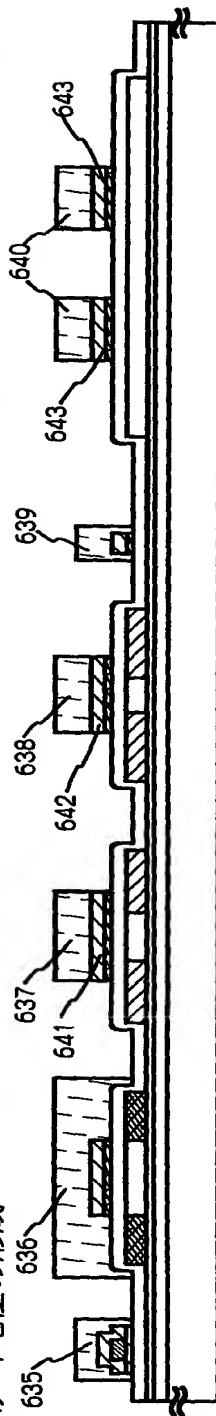


【図 7】

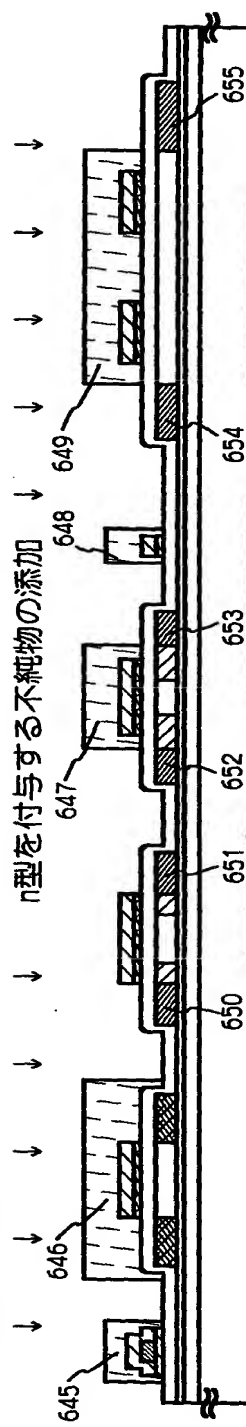
(A) p-ch⁺-ト電極の形成、配線電極の形成、第5の不純物領域の形成



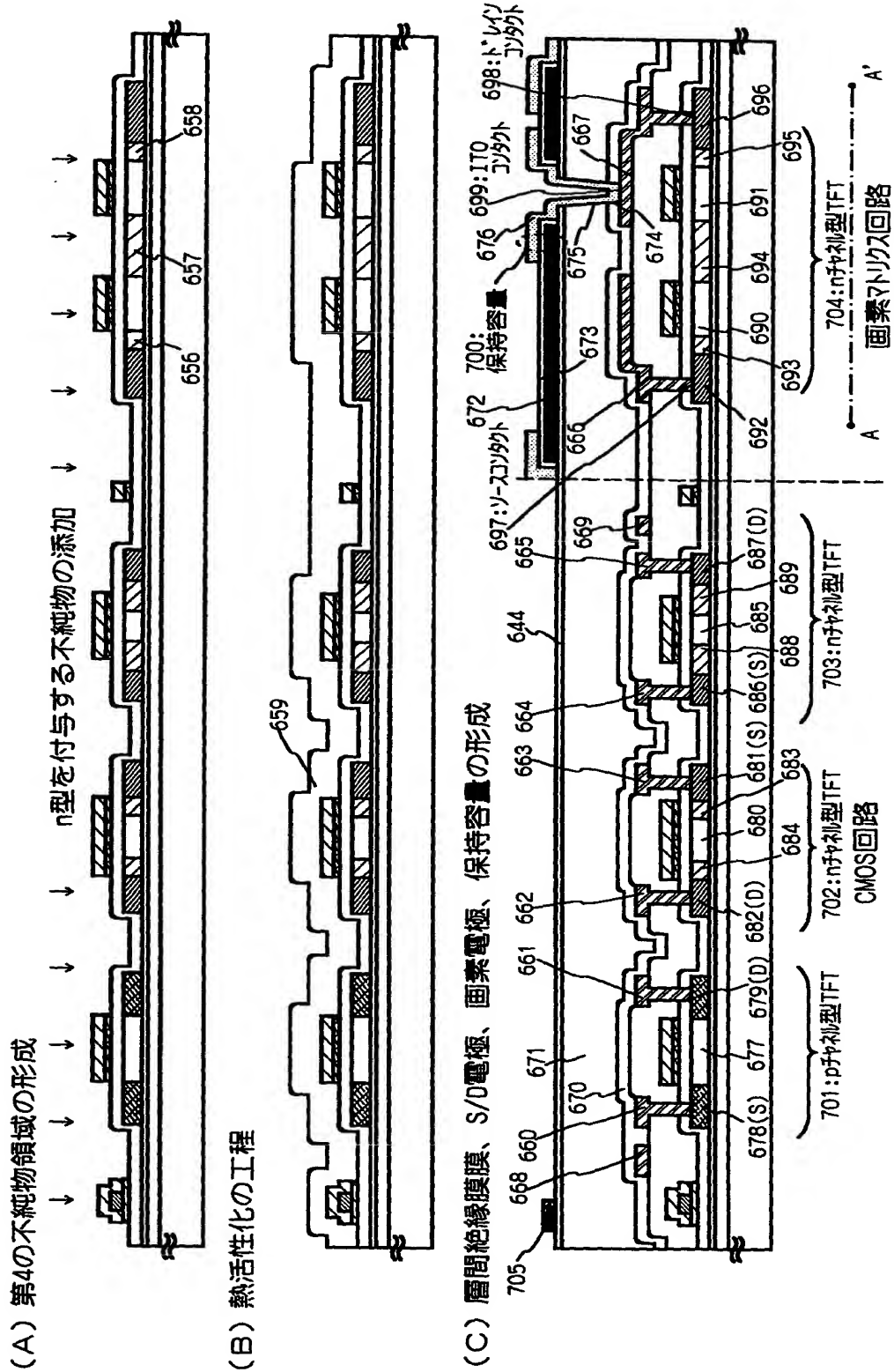
(B) n-ch⁻-ト電極の形成



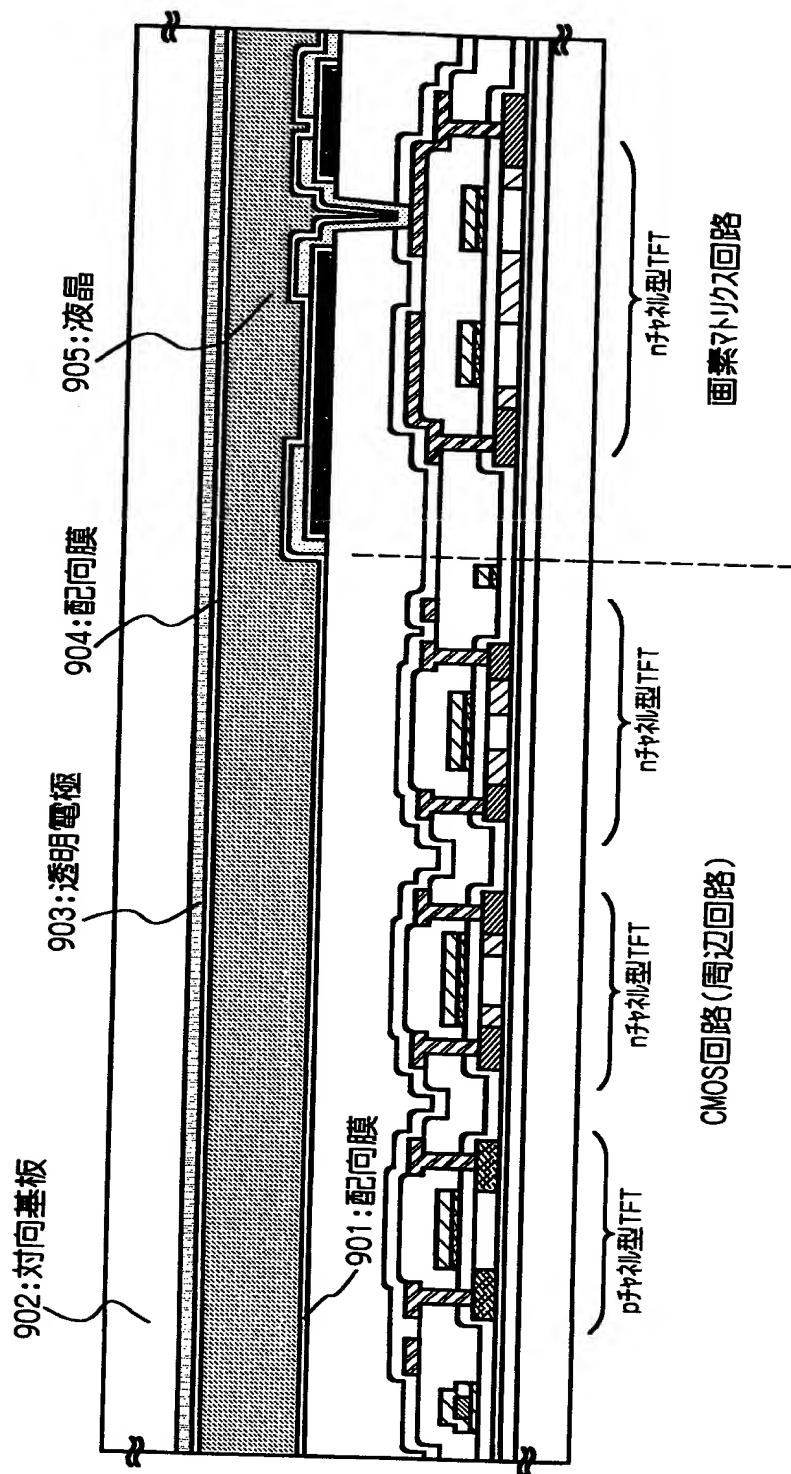
(C) 第1の不純物領域の形成



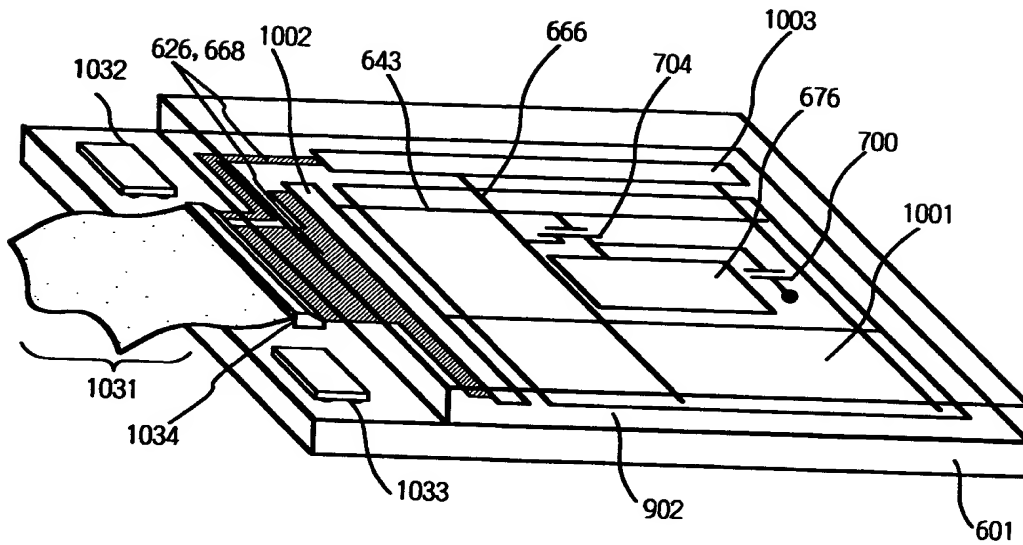
【図 8】



【図 9】



【図 10】



アクティブマトリクス基板

601 : ガラス基板

1001 : 画素マトリクス回路

1002 : 走査線駆動回路, 1003 : 信号線駆動回路

1031 : FPC 1032, 1033 : ICチップ, 626, 668 : 配線

1034 : 外部入出力端子

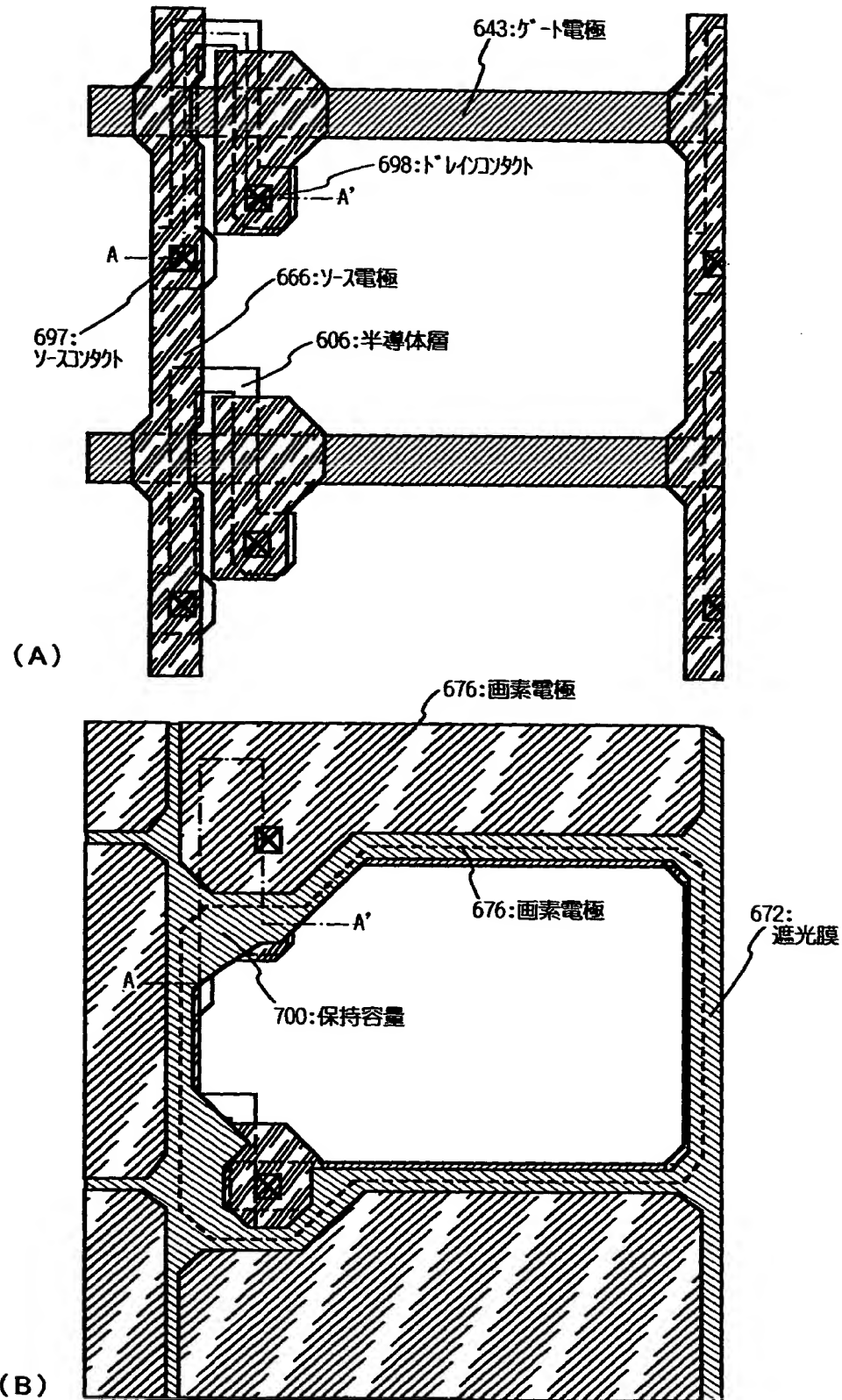
704 : 画素TFT

643 : ゲート配線, 666 : ソース配線

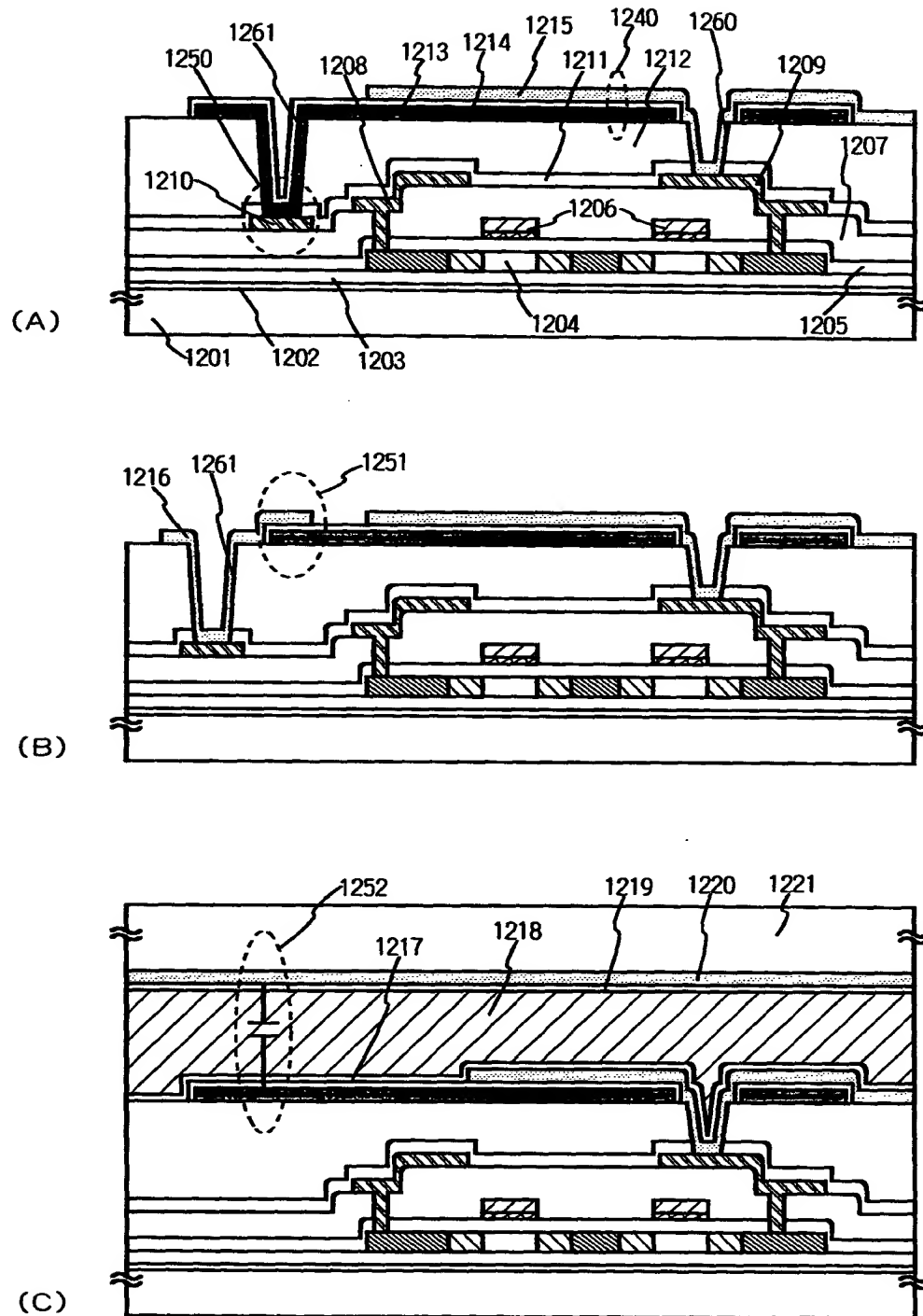
676 : 画素電極, 700 : 保持容量

902 : 対向基板

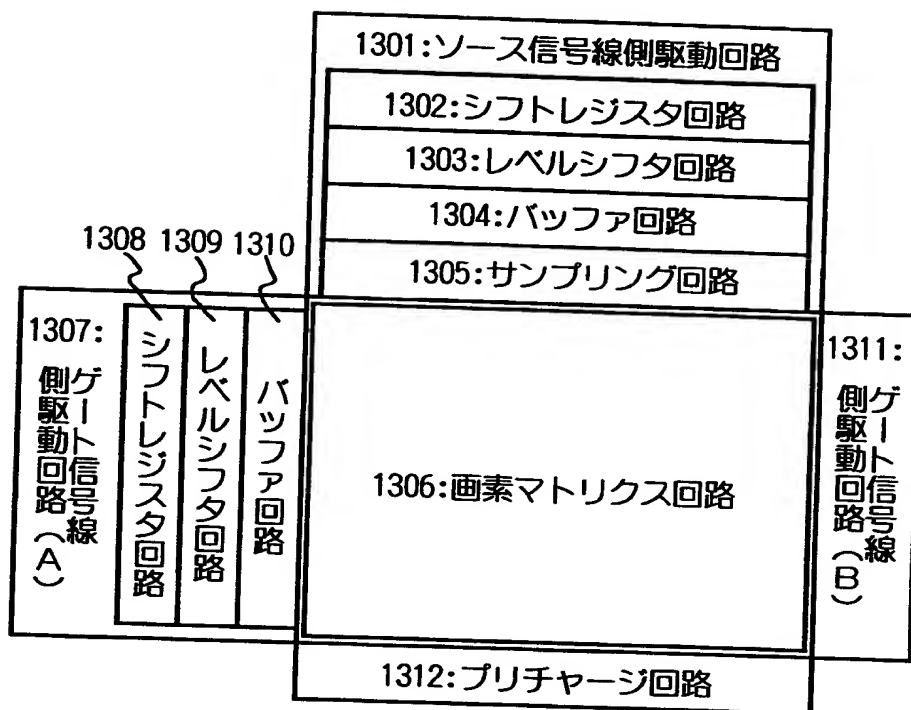
【図 1 1】



【図 1 2】

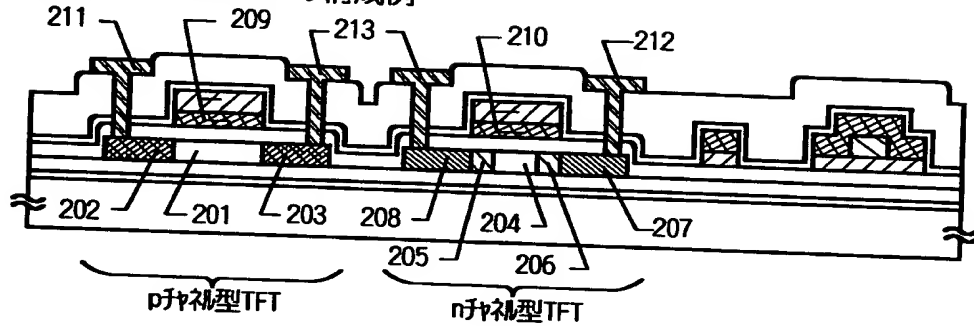


【図 13】

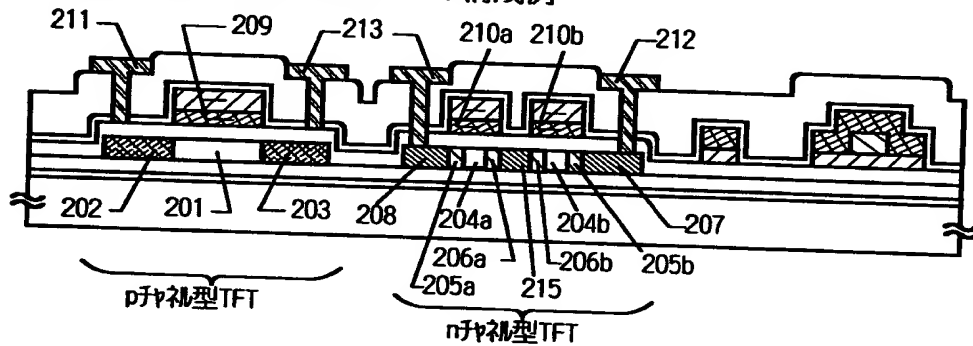


【図 14】

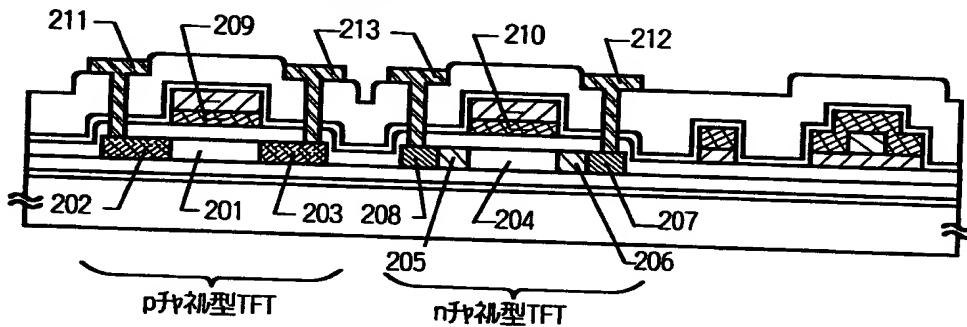
(A) シフトレジスタ回路のTFTの構成例



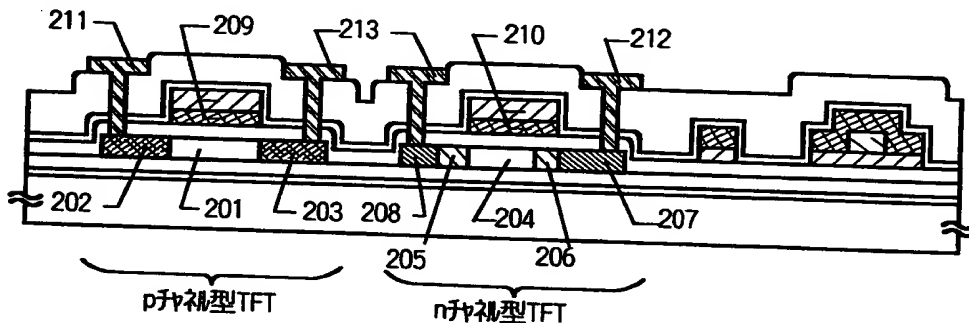
(B) バッファ回路、バッファ回路のTFTの構成例



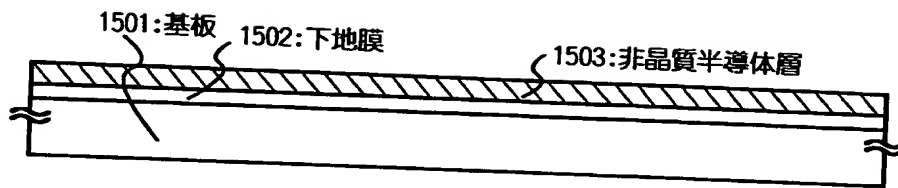
(C) サプリック回路のTFTの構成例



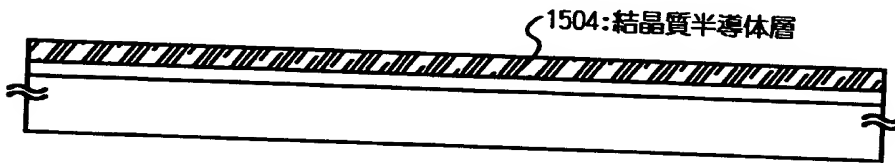
(D) 他の構成例



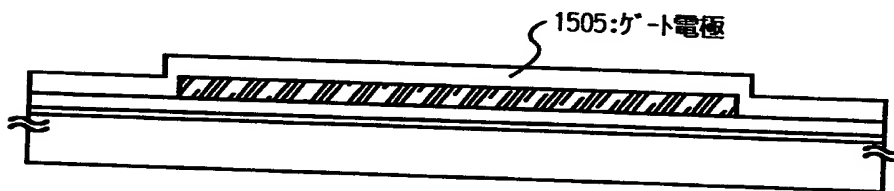
【図 1 5】



(A) 下地膜、非晶質半導体層の形成

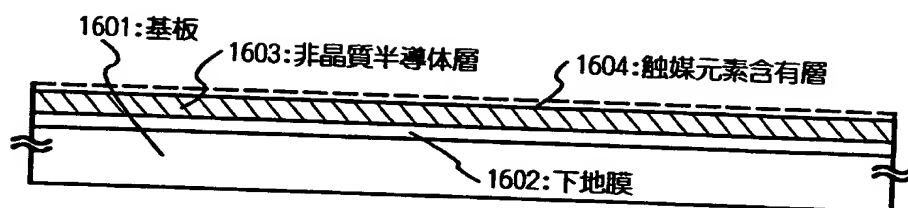


(B) 結晶化の工程

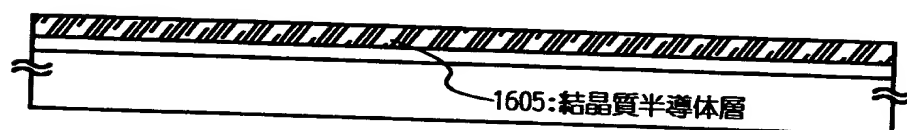


(C) ゲート絶縁膜の形成

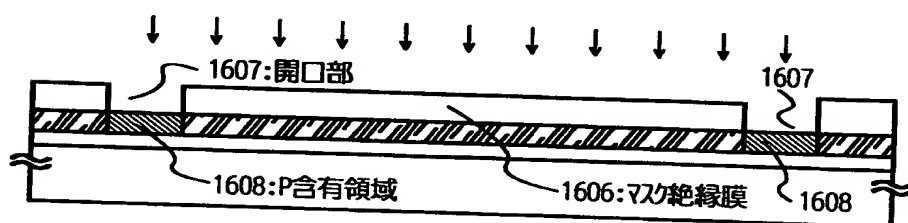
【図 16】



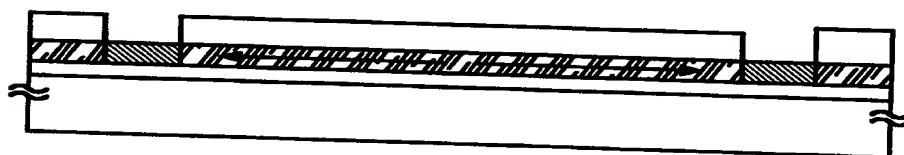
(A) 下地膜、非晶質半導体層の形成



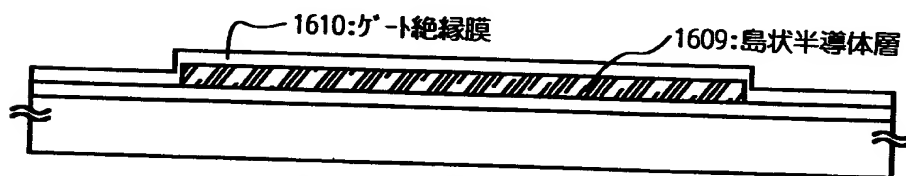
(B) 結晶化の工程



(C) P⁺-ゾーンの工程

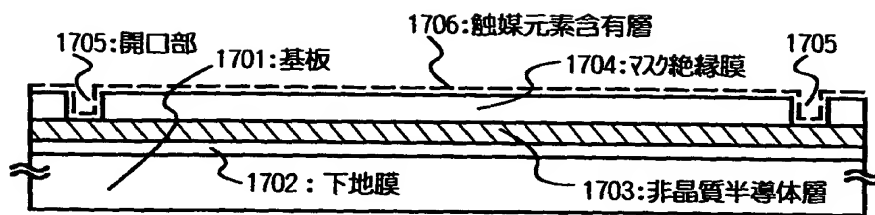


(D) ゲッタリングの工程

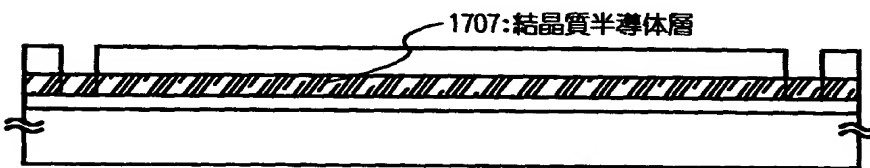


(E) ゲート絶縁膜の形成

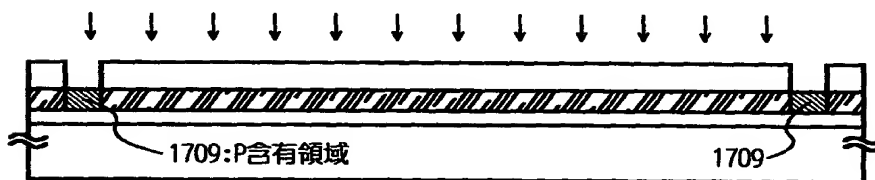
【図 17】



(A) 触媒元素を添加する工程



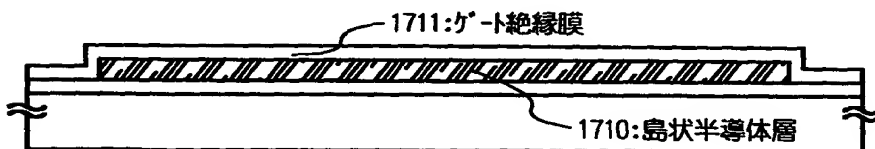
(B) 結晶化の工程



(C) P⁺- γ の工程

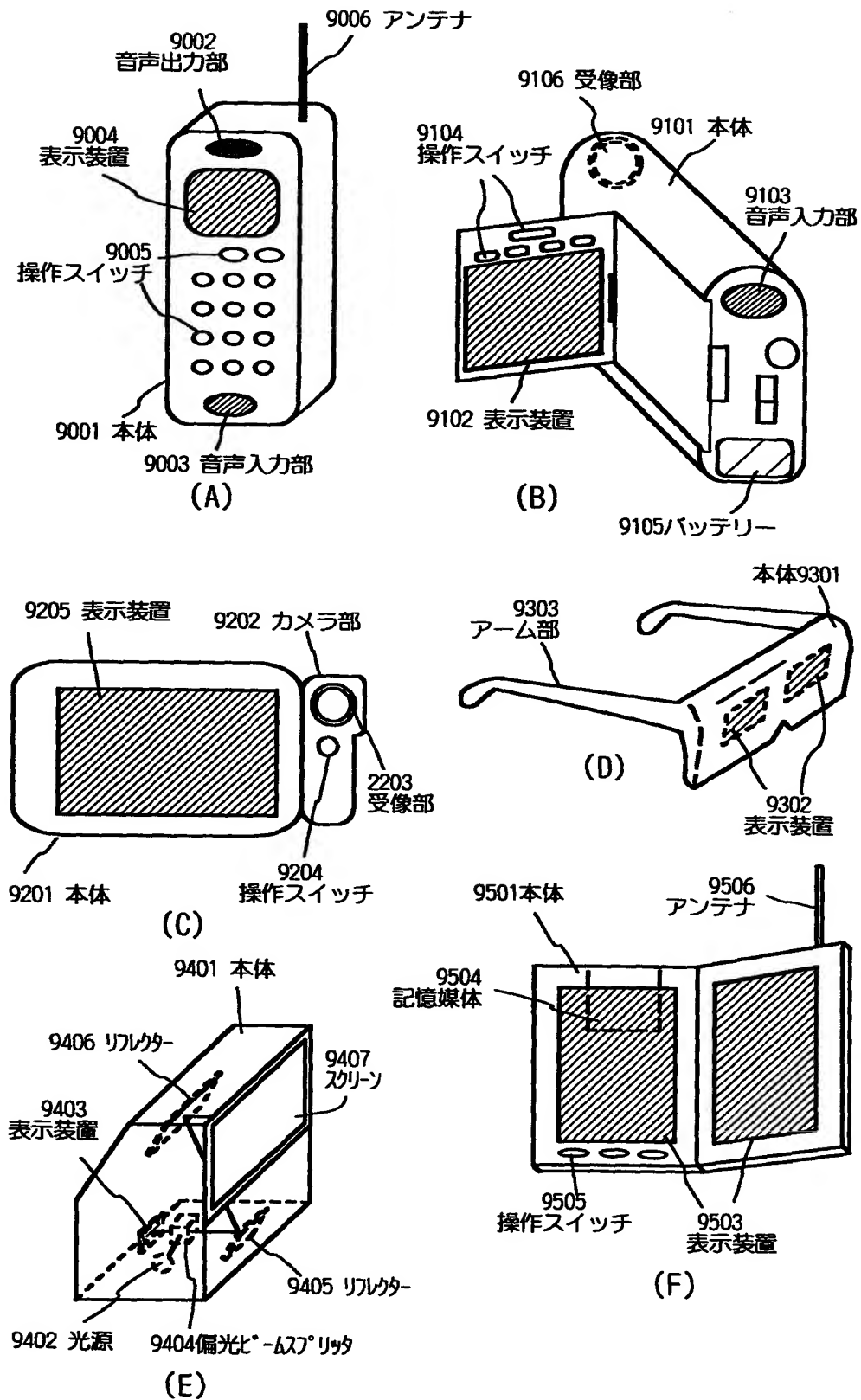


(D) ゲッタリングの工程



(E) ゲート絶縁膜の形成

【図 18】



【書類名】 要約書

【要約】

【課題】 いろいろな機能回路を同一基板上に組込んだアクティブマトリクス型液晶表示装置において、画素マトリクス回路の開口率を向上させると共に、最適なTFTの構成を提供する。

【解決手段】 CMOS回路にはゲート電極とオーバーラップする第3の不純物領域を設けたnチャネル型TFTを形成し、画素マトリクス回路のnチャネル型TFTにはゲート電極とオーバーラップしない第4の不純物領域を設けた構造とする。画素マトリクス回路に設ける保持容量は、遮光膜と遮光膜上に形成される誘電体膜と画素電極で形成し、特に遮光膜にAlを用い、誘電体膜を陽極酸化法で形成し、酸化Al膜を用いる。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日
[変更理由] 新規登録
住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所